

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2001-196372

(P2001-196372A)

(43) 公開日 平成13年7月19日 (2001.7.19)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 L 21/3205		H 0 1 L 21/88	S 5 F 0 3 3
27/04		27/04	D 5 F 0 3 8
21/822			

審査請求 未請求 請求項の数15 O L (全 29 頁)

(21) 出願番号 特願2000-4266 (P2000-4266)

(22) 出願日 平成12年1月13日 (2000.1.13)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 國清 辰也

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100089233

弁理士 吉田 茂明 (外2名)

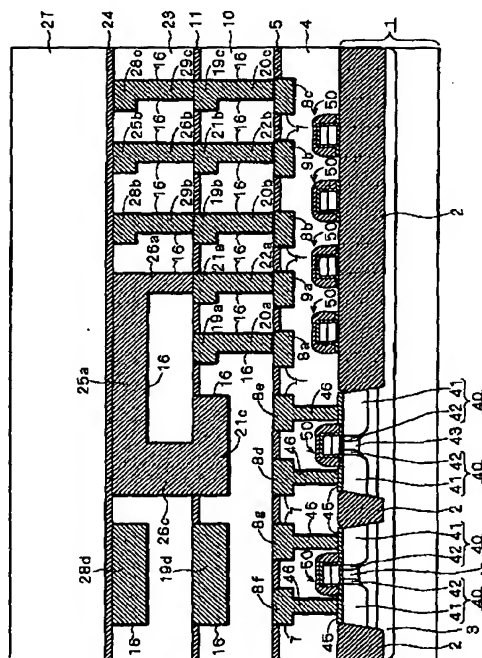
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 配線が伝達する信号に重畳するノイズ、または、クロストークを低減する。

【解決手段】 複数層にわたる配線8、19、28と同一層に、ダミー配線9、21、25が、それぞれ形成されている。ダミー配線9、21、25の間がダミープラグ22、26で接続されている。少なくともダミー配線9a、21a、21c、25aおよびダミープラグ22a、26a、26cは、接地電位に固定されている。



1

【特許請求の範囲】

【請求項 1】 半導体装置であって、
主面を有し、当該主面に沿って半導体素子が作り込まれている半導体基板と、
前記主面の上に形成された層間絶縁膜と、
前記層間絶縁膜で隔てられる複数層にわたって配設された導電性の配線と、
前記層間絶縁膜で隔てられ、前記複数層に含まれる二層以上の層にわたって、前記配線と同一層に配設された導電性のダミー配線と、
前記二層以上の層の間で前記ダミー配線を相互に接続するように前記層間絶縁膜の中に選択的に埋設され、さらに、前記配線に含まれ低電位側電源線または高電位側電源線が伝える電位を基準として一定の電位を保持する安定電位線に、前記ダミー配線とともに接続されている導電性のダミープラグと、を備える半導体装置。

【請求項 2】 半導体装置であって、
主面を有し、当該主面を複数の領域に分離する素子分離構造が前記主面に選択的に形成されており、前記複数の領域の各々に、半導体素子が作り込まれている半導体基板と、
前記主面の上に形成された層間絶縁膜と、
前記層間絶縁膜で隔てられる複数層にわたって配設された導電性の配線と、
前記層間絶縁膜で隔てられ、前記複数層に含まれる二層以上の層にわたって、前記配線と同一層に配設された導電性のダミー配線と、
前記二層以上の層の間で前記ダミー配線を相互に接続するように前記層間絶縁膜の中に選択的に埋設された導電性のダミープラグと、
前記素子分離構造の一部に形成された導電層と、
前記導電層と前記ダミー配線とを接続するように前記層間絶縁膜の中に選択的に埋設された導電性の別のプラグと、を備える半導体装置。

【請求項 3】 前記ダミー配線および前記ダミープラグが、前記配線に含まれ低電位側電源線または高電位側電源線が伝える電位を基準として一定の電位を保持する安定電位線に、接続されている、請求項 2 に記載の半導体装置。

【請求項 4】 前記複数の領域が、集積回路における複数の機能ブロックに対応しており、
前記複数の機能ブロックの各々が、前記素子分離構造とともに前記導電層によって包囲されている、請求項 3 に記載の半導体装置。

【請求項 5】 前記素子分離構造の一部に溝が形成されており、前記導電層が前記溝に埋設されている、請求項 2 ないし請求項 4 のいずれかに記載の半導体装置。

【請求項 6】 前記半導体基板が、埋め込み絶縁層をさらに有しており、
前記素子分離構造は、前記埋め込み絶縁層に接続される

2

部分を含んでおり、

前記導電層は、前記素子分離構造の前記部分を選択的に貫通し、前記埋め込み絶縁層に達している、請求項 2 ないし請求項 4 のいずれかに記載の半導体装置。

【請求項 7】 前記ダミー配線が、前記二層以上の層の中の少なくとも一層において、前記配線に含まれる配線部分を挟むように配設されている、請求項 1、請求項 3、または、請求項 4 に記載の半導体装置。

【請求項 8】 前記ダミー配線が、前記少なくとも一層の上層にも、前記配線部分の上方を覆うように配設されている、請求項 7 に記載の半導体装置。

【請求項 9】 前記安定電位線が、前記低電位側電源線、前記高電位側電源線、前記配線に含まれプリチャージ電位を伝達するプリチャージ線、または、前記配線に含まれ基板電位を伝える基板電位線のいずれかである、請求項 1、請求項 3、請求項 4、請求項 7、または、請求項 8 に記載の半導体装置。

【請求項 10】 前記ダミー配線が、前記主面に沿った断面形状において、延在方向に沿って凹凸が反復する部分を有する、請求項 1 ないし請求項 9 のいずれかに記載の半導体装置。

【請求項 11】 前記ダミー配線が、前記主面に垂直な面に沿った断面形状において、延在方向に沿って凹凸が反復する部分を有する、請求項 1 ないし請求項 10 のいずれかに記載の半導体装置。

【請求項 12】 前記凹凸が反復する部分の中の突起した部分が、下層に配設されるダミー配線の部分に接続されている、請求項 11 に記載の半導体装置。

【請求項 13】 前記複数層の中での最上層を被覆し、前記層間絶縁膜よりも熱伝導率が大きいパッシベーション膜を、さらに備える、請求項 1 ないし請求項 12 のいずれかに記載の半導体装置。

【請求項 14】 前記パッシベーション膜に接触するヒートシンクを、さらに備える、請求項 13 に記載の半導体装置。

【請求項 15】 前記ダミー配線が、前記最上層にも配設されており、
前記半導体装置は、
前記ヒートシンクと前記ダミー配線の前記最上層に属する部分とを接続するように、前記パッシベーション膜の中に選択的に埋設された導電性の別のダミープラグを、さらに備える、請求項 14 に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、半導体基板の主面の上方に複数層にわたって配線が形成された多層配線構造を有する半導体装置に関し、特に、配線が伝達する信号に重畳するノイズ、または、クロストークを低減するための改良に関する。

【0002】

3

【従来の技術】LSI（大規模集積回路）に代表される半導体集積回路は、半導体基板の主面の中の活性領域に形成された多数の半導体素子を有している。これらの半導体素子は、例えばSTI（Shallow Trench Isolation）などの素子分離構造により、互いに電氣的に分離されている。集積回路の機能を実現するために、これらの半導体素子は電気伝導体（配線）により選択的に接続されている。

【0003】電気伝導体の材料として、通常、ドーパントを高濃度を含むポリシリコン、または、金属が用いられる。金属配線として、アルミニウム、銅、タングステン、モリブデン等が用いられている。また、半導体基板の主面に最も近接して形成される配線であるゲート電極には、アルミニウム、ポリシリコン、ポリシリコン/金属シリサイドの2層構造、タングステン、および、モリブデン等が用いられている。金属シリサイドには、タングステン、コバルト、ニッケル、チタン、ジルコニウム、プラチナ等の金属が用いられている。

【0004】配線を形成する方法として、従来から二つの方法が提案されている。第1の方法では、CVD（Chemical Vapor Deposition：化学気相成長法）、あるいは、スパッタリング等により、配線材料が半導体基板の主面の全体にわたって堆積された後、レジストが塗布される。その後、転写工程を通じてパターンニングが行われることにより、レジストマスクが形成される。さらに、このレジストマスクを用いて、配線材料に異方性エッチングを施すことにより、配線パターンが形成される。この第1の方法を、本明細書では、「エッチング法」と仮称する。

【0005】第2の方法では、半導体基板の主面の上に形成された絶縁膜の上に、レジストが塗布された後、転写工程を通じて、このレジストがパターンニングされることにより、レジストマスクが形成される。その後、このレジストマスクを用いて、異方性エッチングを施すことにより、絶縁膜に溝が選択的に形成される。つぎに、CVDあるいは蒸着法を用いることにより、溝が配線材料で埋め込まれる。その後、CMP（Chemical Mechanical Polishing：化学的機械研磨法）を用いることにより、絶縁膜の表面と配線材料の表面が、互いに略一致するように、平坦化される。この第2の方法は、ダマシン（damascene）法と称されている。

【0006】まず、エッチング法による配線形成工程について説明する。図27～図29は、従来のエッチング法による配線形成工程を示す製造工程図である。

【0007】はじめに図27の工程が実行される。図27の工程では、まず、シリコン基板である半導体基板101の主面に、素子分離構造としてのSTI102と、半導体素子としてのMOSFETとが形成される。各MOSFETは、半導体基板101の主面の中に選択的に形成された領域である、一対のN+ソース・ドレイン領域（ソース

4

領域とドレイン領域の組を「ソース・ドレイン領域」と総称する）106、一対のN+ソース・ドレイン領域105、および、チャネル領域104を備えている。主面の上には、ドーパトポリシリコン層108とタングステンシリサイド層109との2層構造を成すゲート電極が、ゲート絶縁膜107を介してチャネル領域104に対向するように、選択的に形成されている。さらに、ゲート電極は、窒化酸化シリコン膜110を介して、サイドウォール111によって覆われている。

【0008】STI102は、隣り合うMOSFETの間を電氣的に分離するように、半導体基板101の主面に選択的に形成される。MOSFETを形成するのに先立って、半導体基板101には、チャネルストッパ層103が形成される。

【0009】MOSFETおよびSTI102が形成された後に、半導体基板101の主面の上方には、サイドウォール111をも覆うように、層間絶縁膜112が堆積される。つづいて、層間絶縁膜112の中で、N+ソース・ドレイン領域106の直上の部位に、選択的にスルーホール113が形成された後、このスルーホール113を埋め込み、さらに、層間絶縁膜112の上をも覆うように、アルミニウム114が堆積される。スルーホール113に埋設されたアルミニウム・プラグは、MOSFETのソース・ドレイン電極として機能する。

【0010】なお、スルーホール113の底面には、半導体基板101が露出するので、アルミニウム114が半導体基板101へ析出し、それにより、リークが引き起こされる可能性がある。これを防止する目的で、スルーホール113の底面と側面には、バリアメタル層（図示を略する）が堆積される。バリアメタル層の材料として、例えば、TiN（窒化チタン）等が用いられる。

【0011】つぎに、アルミニウム114の上に、ARC膜（Anti Reflection Coating：反射防止膜）115が堆積される。ARC膜115は、転写工程の際に、露光のための光が、アルミニウム114の表面で反射することにより、レジストパターンが、設計よりも細く形成されるという、いわゆる、ハレーションを防止するために堆積される。その後、ARC膜115の上にレジストが塗布され、転写工程を経ることにより、レジストマスク116が形成される。

【0012】つぎに、図28の工程が実行される。図28の工程では、まず、レジストマスク116を用いて、アルミニウム114に異方性エッチングを施すことにより、アルミニウム配線150が形成される。その後、層間絶縁膜117が堆積される。このとき、半導体基板101の主面に沿って、アルミニウム配線150の密度、すなわち配線密度が高い領域118では、層間絶縁膜117の表面に現れる段差120が小さいのに対し、配線密度の低い領域119では、段差121が大きくなる。段差121のように段差が大きいと、層間絶縁膜117

5

の上に、アルミニウムを堆積し、さらに、転写工程を通じて第2のアルミニウム配線を形成する際に、転写によるパターニングが精度良く行われないなどの、加工上の問題が生じる。

【0013】この問題を回避するために、層間絶縁膜117の上にアルミニウムを堆積するのに先だって、CMPを用いて層間絶縁膜117を平坦化するという方法が試みられている。しかしながら、配線密度の不均一のために、CMPを実行した後においても、層間絶縁膜117の表面における段差が十分には解消されずに残ってしまうという問題点があった。

【0014】この問題を回避する方法として、図29が示すように、MOSFETの動作には関与しないダミーのアルミニウム配線122を、密度の低いアルミニウム配線150を補うように形成し、それにより、配線密度の不均一性を緩和するという方法が知られている。配線密度の低い領域を解消することにより、層間絶縁膜117の表面に現れる段差123を、小さく抑えることができるので、CMP工程の後における層間絶縁膜117の表面の平坦性を高めることができる。このように、ダミーの配線パターンの形成は、CMP工程の後において、半導体基板101の上の構造物の表面における平坦性を向上させるために、必須であると云われている。

【0015】つぎに、ダマシン法による配線形成工程について説明する。LSIの動作速度を高める目的で、配線抵抗がアルミニウム(A1)より低い銅(Cu)を、LSIの配線材料に用いる技術が知られている。例えば20℃での抵抗率を比較すると、A1の $2.74 \mu\Omega \cdot \text{cm}$ に比べて、Cuでは $1.70 \mu\Omega \cdot \text{cm}$ と低い。しかしながら、上記したエッチング法では、銅配線を形成するのが困難であるため、銅配線を形成する工程では、ダマシン法が広く採用されている。

【0016】図30～図36は、従来のダマシン法による配線形成工程を示す製造工程図である。はじめに、図30が示すように、シリコン基板である半導体基板101の主面に、素子分離構造としてのSTI102と、半導体素子としてのMOSFETとが形成される。各MOSFETの構造は、図30が示すMOSFETは、N⁺ソース・ドレイン領域106の上に、シリサイド層145が設けられている点を除いて、図27が示したMOSFETと同様の構造を有している。

【0017】MOSFETおよびSTI102が形成された後に、半導体基板101の主面の上方には、サイドウォール111をも覆うように、層間絶縁膜127が堆積される。つづいて、層間絶縁膜127の中で、N⁺ソース・ドレイン領域106の直上の部位に、選択的にスルーホール124が形成される。この段階では、図30が示す配線溝125は、形成されていない。層間絶縁膜127には、例えば、比誘電率が2から3程度の絶縁膜が用いられる。シリコン酸化膜では、比誘電率は3.9程度で

6

あるが、これより低い比誘電率の絶縁膜が用いられる理由は、隣り合うゲート電極の間、あるいは、ゲート電極とスルーホール124に埋設されるプラグとの間の寄生容量を低減し、半導体装置の動作速度を向上するためである。

【0018】つぎに、スルーホール124を充填するようにレジストプラグ(図示せず)が堆積される。その後、レジストマスクを形成して、層間絶縁膜127へ異方性エッチングを施すことにより、配線溝125が形成される。このとき、配線溝125の密度の高い領域129と低い領域130とが、形成される場合がある。

【0019】つづいて、スルーホール124に充填されていたレジストプラグを除去した後、スルーホール124の底面と側面、配線溝125の底面と側面、および、層間絶縁膜127の上面を被覆するように、バリアメタル126が堆積される。バリアメタル126の材料としては、WN、TiN、Ta₂N等の窒化金属膜が用いられる。バリアメタル126を形成する理由は、スルーホール124および配線溝125に充填される金属原子が、層間絶縁膜127へ熱拡散するのを防止するためである。

【0020】つぎの図31の工程では、例えばCVDあるいはPVD(物理的気相成長法)を用いることにより、銅が、スルーホール124および配線溝125を充填し、さらに、層間絶縁膜127の上面をも覆うように堆積される。このとき、配線密度の高い領域129では、堆積された銅の表面に現れる段差132が小さいが、配線密度の低い領域130では、段差133が大きくなる場合がある。このように、段差の大きさに不均一があると、後のCMP工程で平坦化を行っても、十分に平坦な表面を得ることが難しくなる。

【0021】この問題を回避するために、図32が示すように、配線密度の低い領域130、すなわち、配線間隔が大きい領域に、ダミーの配線溝134を形成して、配線間隔の不均一を抑える技術が知られている。これにより、堆積される銅の表面に現れる段差を、領域129と領域130との間で均一となるように、小さく抑えることが可能となる。

【0022】また、電界メッキ装置を用いて銅を堆積すると、図31が示したような銅の表面の段差132、133の不均一は、相当程度に低減される。それでも、やはり、配線密度に差があると、CMP工程の中で、配線密度が低い領域130における銅配線が、オーバーポリッシュされるという問題が生じる。オーバーポリッシュされた銅配線の断面を観察すると、銅の上面が窪んでいて、あたかも皿の底のように見えるので、この現象は「ディッシング(dishing)」と呼ばれている。

【0023】配線密度が高くなるほど、単位面積あたりの除去すべき銅の量が増えるので、研磨レートは減少する。それゆえ、研磨レートは、配線密度の高い領域12

7

9よりも低い領域130の方が大きくなり、密度の高い領域129の平坦性を優先すると、低い領域130の銅配線は、オーバーポリッシュされ、ディッシングを生じる。銅配線にディッシングが生じると、銅配線の断面積が減少するので、配線遅延が大きくなる。すなわち、半導体装置の動作速度が低下する。ディッシングの問題を回避するためにも、ダミーの配線を配設して、配線密度の不均一を低減することが必要である。それにより、同時に、銅配線の平坦性が高められる。

【0024】つづく図33の工程では、まず、CMPを10 実行することにより、層間絶縁膜127をストッパーとして、銅の上面が平坦化される。このCMP工程により、層間絶縁膜127の上面と銅配線の上面が、互いに略一致するように、平坦化される。この工程では、層間絶縁膜127の上面に形成されたバリアメタル126も除去される。この時点で、配線125bおよびダミー配線134bが形成される。どちらの配線も材質は同じ銅であるが、図33では判別しやすいように、便宜上、異なるハッチングが付されている。

【0025】つぎに、層間絶縁膜135および136が20 堆積される。層間絶縁膜135の材料には、例えば、窒化シリコン、あるいは、酸化シリコンが用いられる。層間絶縁膜135が形成される目的は、露出している銅配線の表面が酸化されるのを防止することにある。窒化シリコンおよび酸化シリコンは、大気中、あるいは、半導体装置製造装置で用いられるガス雰囲気中の酸化剤（酸素、水等）が、熱拡散あるいはドリフトすることにより銅配線に達するのを防止する性質がある。また、層間絶縁膜136の材料には、例えば、比誘電率が2～3 30 程度の絶縁体が用いられる。層間絶縁膜136に、比誘電率が比較的小さい絶縁体が用いられるのは、配線間容量を低減し、それにより、半導体装置が動作するときの遅延時間を短くするためである。

【0026】つぎに、転写工程を通じてパターンニングされたレジストマスク（図示せず）を用いて異方性エッチングを施すことにより、層間絶縁膜135、136に、スルーホール137が形成される。その後、スルーホール137の下半分を充填するように、有機プラグ138が形成される。

【0027】つぎの図34の工程では、まず、レジスト40 （図示せず）を堆積した後に転写工程を通じてパターンニングすることにより、レジストマスク（図示せず）が形成される。つぎに、レジストマスクを用いて異方性エッチングを施すことにより、層間絶縁膜136に、配線溝139とダミーの配線溝140とが形成される。ダミーの配線溝140は、層間絶縁膜112に形成されたダミーの配線溝134と同様に、その後に行われるCMP工程で得られる銅配線の平坦性を高めるために形成される。

【0028】つづく図35の工程では、まず、バリアメ

8

タル141を堆積した後、銅142が、スルーホール137、および、配線溝139、140を充填し、さらに、層間絶縁膜136の上面をも覆うように堆積される。ダミーの配線溝140のために、段差143は低く抑えられる。

【0029】つぎの図36の工程では、まず、CMPを実行することにより、層間絶縁膜136をストッパーとして、銅の上面が平坦化される。ダミーの配線溝140があるため、平坦性が向上する。この工程によって、スルーホール137に充填される銅のプラグ、配線溝139に充填される銅配線144、および、ダミーの配線溝140に充填されるダミーの銅配線135が形成される。

【0030】つぎに、例えば、窒化シリコンを堆積することにより、層間絶縁膜146が形成され、さらに、例えば、SiO₂を堆積することにより、層間絶縁膜147が形成される。

【0031】以上のように、層間絶縁膜に配線溝およびスルーホールを形成した後、バリアメタルの形成、および、銅の埋め込みと堆積を行い、さらに、余分な銅を除去するためにCMP処理が行われるという、一連の工程は、デュアルダマシ（dualdamascene）法と呼ばれる。ダミーパターンはCMP工程の平坦化向上の他に、転写工程における周辺パターンの形状に依存して仕上りのレジスト形状が決定される近接効果を補正するためにも設置される。

【0032】

【発明が解決しようとする課題】以上に述べたように、図29のダミー配線122、および、図36のダミー配線134b、145は、配線や層間絶縁膜の平坦性を向上させる目的で設けられるものである。半導体装置に形成される集積回路の回路機能に直接には関わらない。それゆえ、従来、ダミー配線は、半導体装置に備わるどの回路端子にも接続されておらず、電気的にフローティングのまま放置されていた。

【0033】近年のLSIの集積化の進歩にともない、配線ピッチが狭くなり、動作周波数が数百MHz～数GHzにも達することにより、電気的にフローティングな状態で放置されているダミー配線に起因する問題が発生している。第一に、ある配線が、例えば、プリチャージ配線等では、電位が0V（接地電位）からV_{DD}（高電位側電源電位）まで、短い時間に変化することにより、電流が流れると、その配線のまわりに磁界ループが発生する。この磁界ループは電磁誘導により隣接するダミー配線に変位電流を発生させる。変位電流はダミー配線の電位が一樣になるまで流れる。ダミー配線は電気的にフローティングであるので、その電位は回路動作の履歴に依存して決まる。この変位電流が大きいと、ダミー配線の回りに磁界ループが発生し、この磁界ループがダミー配線に隣接する別の配線に、電磁誘導による変位電流を誘

9

起する。この電流がノイズ（雑音）となって信号に重畳するという問題が起こっている。

【0034】第二に、ある配線とダミーの配線との間の間隔が狭くなると、それらの間の結合容量が大きくなる。このため、配線を流れる電荷の量に応じて、ダミー配線に発生する鏡像電荷の量も大きくなる。この鏡像電荷が、別の配線の信号に影響を与えることにより、ノイズ（雑音）の原因となる。

【0035】これらの二つの現象は、ダミー配線を介しての配線間のクロストークと称することができる。この種のノイズは、特にアナログ回路において影響が大きいので、大きな問題となっている。

【0036】この発明は、従来の装置における上記した問題点を解消するためになされたもので、配線が伝達する信号に重畳するノイズ、または、クロストークを低減することのできる半導体装置を提供することを目的とする。

【0037】なお、本発明に関連した技術を開示する文献として、特開平8-222632号公報（以下、文献1）、特開平10-199882号公報（以下、文献2）、および、特開平4-179126号公報（以下、文献3）が知られている。

【0038】

【課題を解決するための手段】第1の発明の装置は、半導体装置であって、主面を有し、当該主面に沿って半導体素子が作り込まれている半導体基板と、前記主面の上に形成された層間絶縁膜と、前記層間絶縁膜で隔てられる複数層にわたって配設された導電性の配線と、前記層間絶縁膜で隔てられ、前記複数層に含まれる二層以上の層にわたって、前記配線と同一層に配設された導電性のダミー配線と、前記二層以上の層の間で前記ダミー配線を相互に接続するように前記層間絶縁膜の中に選択的に埋設され、さらに、前記配線に含まれ低電位側電源線または高電位側電源線が伝える電位を基準として一定の電位を保持する安定電位線に、前記ダミー配線とともに接続されている導電性のダミープラグと、を備える。

【0039】第2の発明の装置は、半導体装置であって、主面を有し、当該主面を複数の領域に分離する素子分離構造が前記主面に選択的に形成されており、前記複数の領域の各々に、半導体素子が作り込まれている半導体基板と、前記主面の上に形成された層間絶縁膜と、前記層間絶縁膜で隔てられる複数層にわたって配設された導電性の配線と、前記層間絶縁膜で隔てられ、前記複数層に含まれる二層以上の層にわたって、前記配線と同一層に配設された導電性のダミー配線と、前記二層以上の層の間で前記ダミー配線を相互に接続するように前記層間絶縁膜の中に選択的に埋設された導電性のダミープラグと、前記素子分離構造の一部に形成された導電層と、前記導電層と前記ダミー配線とを接続するように前記層間絶縁膜の中に選択的に埋設された導電性の別のプラグと、を備える。

10

【0040】第3の発明の装置では、第2の発明の半導体装置において、前記ダミー配線および前記ダミープラグが、前記配線に含まれ低電位側電源線または高電位側電源線が伝える電位を基準として一定の電位を保持する安定電位線に、接続されている。

【0041】第4の発明の装置では、第3の発明の半導体装置において、前記複数の領域が、集積回路における複数の機能ブロックに対応しており、前記複数の機能ブロックの各々が、前記素子分離構造とともに前記導電層によって包囲されている。

【0042】第5の発明の装置では、第2ないし第4のいずれかの発明の半導体装置において、前記素子分離構造の一部に溝が形成されており、前記導電層が前記溝に埋設されている。

【0043】第6の発明の装置では、第2ないし第4のいずれかの発明の半導体装置において、前記半導体基板が、埋め込み絶縁層をさらに有しており、前記素子分離構造は、前記埋め込み絶縁層に接続される部分を含んでおり、前記導電層は、前記素子分離構造の前記部分を選択的に貫通し、前記埋め込み絶縁層に達している。

【0044】第7の発明の装置では、第1、第3、または、第4の発明の半導体装置において、前記ダミー配線が、前記二層以上の層の中の少なくとも一層において、前記配線に含まれる配線部分を挟むように配設されている。

【0045】第8の発明の装置では、第7の発明の半導体装置において、前記ダミー配線が、前記少なくとも一層の上層にも、前記配線部分の上方を覆うように配設されている。

【0046】第9の発明の装置では、第1、第3、第4、第7、または、第8の発明の半導体装置において、前記安定電位線が、前記低電位側電源線、前記高電位側電源線、前記配線に含まれプリチャージ電位を伝達するプリチャージ線、または、前記配線に含まれ基板電位を伝える基板電位線のいずれかである。

【0047】第10の発明の装置では、第1ないし第9のいずれかの発明の半導体装置において、前記ダミー配線が、前記主面に沿った断面形状において、延在方向に沿って凹凸が反復する部分を有する。

【0048】第11の発明の装置では、第1ないし第10のいずれかの発明の半導体装置において、前記ダミー配線が、前記主面に垂直な面に沿った断面形状において、延在方向に沿って凹凸が反復する部分を有する。

【0049】第12の発明の装置では、第11の発明の半導体装置において、前記凹凸が反復する部分の中の突起した部分が、下層に配設されるダミー配線の部分に接続されている。

【0050】第13の発明の装置では、第1ないし第12のいずれかの発明の半導体装置において、前記複数層の中での最上層を被覆し、前記層間絶縁膜よりも熱伝導

11

率が大きいパッシベーション膜を、さらに備える。

【0051】第14の発明の装置では、第13の発明の半導体装置において、前記パッシベーション膜に接触するヒートシンクを、さらに備える。

【0052】第15の発明の装置では、第14記載の半導体装置において、前記ダミー配線が、前記最上層にも配設されており、前記半導体装置が、前記ヒートシンクと前記ダミー配線の前記最上層に属する部分とを接続するように、前記パッシベーション膜の中に選択的に埋設された導電性の別のダミープラグを、さらに備える。 10

【0053】

【発明の実施の形態】1. 実施の形態1.

この発明の実施の形態1による半導体装置は、ダミー配線が複数層にわたって形成されており、それらがダミープラグによって接続されており、しかも、これらのダミー導電体（ダミー配線およびダミープラグの総称）が、接地電位を伝達する配線に接続され、それにより、半導体装置の動作時に、ダミー導電体の電位が接地電位に固定されることを、特徴とする。ダミー導電体の電位が接地電位に固定されるので、ダミー導電体に隣接する導電体（配線およびプラグの総称）の電圧変化に起因する変位電流や鏡像電荷が、ダミー配線に長い時間にわたって存在することがない。それゆえ、ダミー配線またはダミープラグに発生した変位電流や鏡像電荷に起因して、隣接する別の配線またはプラグに誘起されるノイズが、大幅に低減されるという効果が得られる。 20

【0054】1.1. 装置の製造工程と構造.

以下に、実施の形態1の半導体装置の好ましい製造工程について説明する。製造工程の説明を通じて、「ダミー配線」の意味とともに、完成品としての半導体装置の構造も、同時に明らかとなる。また、以下の説明では、半導体基板がシリコン基板である例を取り上げるが、本発明は、この例に限定されるものではない。この点は、他の実施の形態においても同様である。 30

【0055】図1～図7は、実施の形態1の半導体装置の製造工程図である。はじめに図1の工程が実行される。図1の工程では、まず、シリコン基板である半導体基板1にチャンネルカット層（チャンネルストッパ層）3が形成される。その後、半導体基板1の主面に、素子分離構造としてのSTI2と、半導体素子としてのMOSFETとが形成される。STI2は、隣り合うMOSFETの間を電気的に分離するように、半導体基板1の主面に選択的に形成される。 40

【0056】MOSFETの製造工程は、従来周知であるので、MOSFETについては、その形成後の構成についてのみ、簡単に説明する。すなわち、各MOSFETは、半導体基板1の主面の中に選択的に形成された領域である、一対のN⁺ソース・ドレイン領域（ソース領域とドレイン領域の組を「ソース・ドレイン領域」と総称する）41、一対のN⁻ソース・ドレイン領域42、および、チャネ 50

12

ル領域43を備えている。一対のN⁺ソース・ドレイン領域41、および、一対のN⁻ソース・ドレイン領域42とによって、一対のソースドレイン領域40が形成されている。一対のN⁺ソース・ドレイン領域41の上には、一対のシリサイド層45が形成されている。

【0057】図2に拡大して示すように、半導体基板1の主面の上には、ドーフトポリシリコン層54とタングステンシリサイド層53との2層構造を成すゲート電極6が、ゲート絶縁膜56を介してチャンネル領域43に対向するように、選択的に形成されている。さらに、ゲート電極6は、窒化酸化シリコン膜52を介して、サイドウォール51によって覆われている。サイドウォール51、および、その内部を含む構造体50を、仮にゲート構造体と称する。図1が示すように、ゲート構造体50は、ゲート配線として、STI2の上にも配設されることがある。

【0058】MOSFETおよびSTI2が形成された後に、半導体基板1の主面の上方には、サイドウォール51をも覆うように、層間絶縁膜4が堆積される。層間絶縁膜4の材料には、配線間容量を低減する目的で、例えば、SiOF等の比誘電率が3.5以下の絶縁体が用いられるのが望ましい。

【0059】その後、ダマシン法を用いることにより、MOSFETのソース・ドレイン電極としての銅プラグ46、銅配線8（8a～8g）、および、ダミーの銅配線9（9a、9b）が形成される。これらの導電体と層間絶縁膜4の間には、バリアメタル7が介挿される。バリアメタル7の材料としては、WN、TiN、Ta₂N等の窒化金属膜が用いられる。つづいて、露出した銅配線8、9の酸化を防止するために、窒化シリコン膜が、層間絶縁膜5として堆積される。ここで実行されるダマシン法の手順は、図30～図33で述べた手順と同等であるので、詳細な説明は省略する。

【0060】つぎの図3の工程では、まず、層間絶縁膜10が堆積される。その後、従来周知の転写工程を経ることにより、レジストマスクが形成され、このレジストマスクを用いて異方性エッチングを施すことにより、層間絶縁膜10の中に、スルーホール12が、選択的に形成される。ここで特徴的なことは、銅配線8a～8cの上だけでなく、ダミーの銅配線9a、9bの上にも、スルーホール12が形成される点である。つぎに、スルーホール12の下部に、有機プラグ13が充填される。

【0061】つぎの図4の工程では、まず、転写工程を経ることにより、レジストマスクが形成され、このレジストマスクを用いて、層間絶縁膜10に異方性エッチングを施すことにより、スルーホール12の上部に配線溝14とダミー配線溝15とが形成される。配線溝14およびダミー配線溝15は、図4の左端付近に描かれるように、スルーホール12のない層間絶縁膜10の上面部分にも、形成してもよい。

13

【0062】レジストプラグ13（図3）は、この異方性エッチングを実行するときに、スルーホール12の底面あるいは側面に位置する銅配線あるいは層間絶縁膜が、エッチングダメージを受けるのを防止する働きをする。また、ダミーの配線溝15は、CMP工程後の平坦性が、配線密度の不均一によって低減するのを抑制する目的で形成される。

【0063】つぎの図5の工程では、まず、配線溝14、ダミーの配線溝15、および、スルーホール12の底面と側面、および、層間絶縁膜10の上面に、バリアメタル16が形成される。バリアメタル16の材料として、例えば、窒化チタン（TiN）、窒化タングステン（WN）、窒化タンタル（Ta₂N₅）、等の金属窒化膜が用いられる。バリアメタル16を形成する目的は、配線材料としての銅の原子が、層間絶縁膜10へ拡散するのを防止することにある。

【0064】つぎに、CVD、PVD、あるいは、電解メッキ装置を用いることにより、銅17が、スルーホール12、配線溝14、および、ダミーの配線溝15を充填し、さらに、層間絶縁膜10の上面をも覆うように、堆積される。上記したように、CVDあるいはPVDを用いて銅17を堆積した場合には、ダミーの配線溝15のために、銅17の表面に現れる段差18は、ほぼ均一に小さく抑えられる。電解メッキ法を用いて銅17を堆積する場合には、配線密度の不均一に起因する段差18は、さらに小さくなる。

【0065】つづく図6の工程では、CMP装置を用いて余分な銅を化学的・機械的に除去することにより、層間絶縁膜10の上面と銅17の上面が、互いに略一致するように、平坦化される。この工程では、層間絶縁膜10の上面を覆うバリアメタル16は除去され、層間絶縁膜10がストッパーとして機能する。この工程を通じて、銅17から、スルーホール12に充填される銅プラグ20a～20cとダミーの銅プラグ22a、22b、配線溝14に充填される銅配線19a～19d、および、ダミーの配線溝15に充填される銅配線21a～21cが形成される。

【0066】ダミーの銅配線21a～21cが、銅配線19aから19dの密度の不均一に起因する研磨レートのはらつきを低減するので、CMP工程後の平坦性が向上する。以上の工程を通じて、層間絶縁膜10に配線溝14、15、および、スルーホール12が形成され、その後、バリアメタル16の形成、および、銅の埋め込みと堆積が行われ、さらに余分な銅を除去するためにCMP処理が行われており、デュアルダマシン法が実行されたことになる。

【0067】つぎの図7の工程を実行することにより、半導体装置が完成する。すなわち、図7は、製造工程図であるとともに完成した半導体装置の構成を示す断面図でもある。

14

【0068】図7の工程では、デュアルダマシン法を再度実行することにより、上層の配線25（25a、25b）、28（28a～28d）と、プラグ26（26a～26c）、29（29a～29c）とが、上層の層間絶縁膜23の中に形成される。最上層の配線は、層間絶縁膜24およびパッシベーション膜27で覆われている。ここで特徴的なことは、第1に、MOSFETの動作、すなわち、半導体装置の回路機能に関与する信号を伝達する配線8a、8b、8cの間、配線19a～19dの間、配線28b～28dの間に、それぞれ、接地した（すなわち、半導体装置の接地電位を伝達する配線に接続された）ダミー配線9a、9b、接地したダミー配線21b～21c、接地したダミー配線25a、25bが配置されている点である。

【0069】それに加えて、第2に、信号を伝達するプラグ20a～20cの間、および、プラグ29b、29cの間にも、それぞれ、接地したダミープラグ22a、22b、および、接地したダミープラグ26bが配設されている。配線間のみならず、プラグ間にも、接地したダミープラグが配設されることにより、プラグによって伝達される信号に印加されるノイズが、低く抑えられる。言い換えると、接地したダミープラグあるいはダミー配線は、信号配線を外部から遮蔽する働きをなすので、信号配線の間でのクロストーク、あるいは、信号配線へのノイズの混入が防止される。

【0070】なお、ダミー配線8、21、25は、図7に現れない部位で、接地配線に接続されている。ダミー配線と接地配線との接続の形態については、実施の形態2において、詳述する。

【0071】ダミー配線21aとダミー配線21cは、上層のダミー配線25aとダミープラグ26a、26cとを介して、電気的に接続されているため、共通の接地配線に接続することで、0V（接地電位）に電位を固定することができる。ダミー配線が、半導体基板1の主面に平行な平面の中で、周囲を同層の信号配線で囲まれることにより、配線の配置上、同一平面内では、接地配線へ電位を固定できない場合でも、図7が示すように、3次元空間の中で、プラグを介して複数のダミー配線を接続することにより、共通の接地配線へ接続することができるという、利点が得られる。

【0072】また、図7が示した構造では、配線19aは、ダミー配線21a、21c、25aとダミープラグ26c、26a、22aとによって、包囲されているので、遮蔽の効果が大きい。微小な信号を送る配線、たとえば、メモリセルとセンスアンプを接続するビット線に、配線19aをアサイン（割り当て）した場合には、S/N比が向上する。また、配線28bとプラグ29bは、ダミー配線25a、25b、ダミープラグ26a、26bによって、周囲から遮蔽されているので、同じくS/N比が向上する。

15

【0073】1.2. 先行技術との対比。

すでに掲げた文献1には、半導体装置の回路動作に直接に関与する配線と、ダミープラグとを接続した装置例が、開示されている。しかしながら、ダミー配線とダミープラグを接続するという本願の実施の形態1の特徴については、開示されていない。文献1の段落[0018]には、「このような(すなわち、前段落の文脈から、ダミープラグのような)ダミーパターンはメタルで形成するので電氣的に中性に落としておくことが望ましい」と、記載されている。「電氣的に中性に落としておくこと」

とは、当業者の視点において、接地電位に電位を固定することであると解釈されるが、ダミープラグは回路動作に直接に関与する接地配線に接続されるのであって、ダミー配線に接続されているわけではない。すなわち、文献1には、ダミープラグとダミー配線との接続については、開示されていない。

【0074】半導体装置の製造工程において、配線およびプラグのレイアウトを行う上で、接地配線からダミープラグが遠い位置にある場合においても、本実施の形態1の半導体装置では、ダミー配線を介して接地配線へ、ダミープラグを接続することができる。また、後述する実施の形態2では、接地配線の代わりに、高電位側電源配線などに、ダミー導電体を電位固定する例が示されるが、高電位側電源配線からダミープラグが遠い位置にある場合においても、ダミー配線を介して、電位を固定することが可能となる。なお、文献1には、ダミープラグを高電位側電源配線に接続する技術自体、開示されていない。

【0075】また、文献2には、複数の配線層が積層配置された多層配線構造を有し、複数層にわたるダミー配線層が、層間絶縁膜に設けられたダミープラグを介して接続された半導体装置が開示されている。しかし、文献2には、これらのダミー導電体が、接地電位等の安定電位に固定される技術は、開示されていない。

【0076】さらに、文献3には、半導体基板の主面の略全体を覆うように金属のシールド層が形成され、しかも、このシールド層が接地電位に固定された半導体装置が開示されている。しかしながら、このシールド層は、配線構造(パターン構造)を持たず、面構造のみを持っている。文献3には、シールド層と同層に位置する他の配線は開示されていない。このことは、文献3の「発明が解決しようとする課題」の項の第1～5行目の、「従来の多層メタル配線構造では、各メタル層が配線層であるため、外部から侵入する雑音を、これらの配線層によって、シールドすることはできず、また上層の配線層で発生した雑音が基板に侵入するのをシールドすることもできない。」という記載からも明瞭である。

【0077】ダミー配線は、回路動作に直接関与しないにも関わらず、段差を緩和するという目的をもって配設される配線であり、その目的から必然的に、他の配線

16

(回路動作に直接関与する配線)と同層に配設されなければならない。したがって、文献3には、ダミー配線についての開示を欠いていると結論できる。

【0078】すでに述べたように、実施の形態1の半導体装置は、複数層にわたってダミー配線が形成され、それらの間がダミープラグで接続され、しかも、これらのダミー導電体が接地電位に固定されていることを特徴としている。ダミープラグとは、ダミー配線に接続されるプラグであると、定義することができる。この特徴は、文献1～3のいずれにも開示がない。この特徴によって、上記したように、配線が伝達する信号に重畳するノイズ、または、クロストークを効果的に低減することができるという、文献1～3のいずれからも予期されない効果が得られる。さらに加えて、以下に述べるような効果も得られる。

【0079】中性子線などの宇宙線が半導体基板の中を走行すると、半導体基板を構成する原子核と宇宙線との間で核反応が引き起こされ、その結果、 α 線が放出される。 α 線は走行中に電子-正孔対を生成する。電子-正孔対の電荷が、半導体装置の誤動作の原因となる。この現象は、ソフトエラーの名で知られている。

【0080】発生した α 線が、半導体基板1へ侵入する前に、捕獲されたり、あるいは、層間絶縁膜、配線、または、プラグに発生した電子-正孔対を除去することができれば、ソフトエラーを抑制することができる。複数層にわたって形成されたダミー配線が、ダミープラグで接続され、かつ、その電位が固定されるので、 α 線あるいは電子-正孔対を、ある程度、除去することが可能となる。この効果も、文献1～3のいずれからも、予期することはできない。

【0081】1.3. ダミー配線の好ましい形状。

図8は、図7が示した半導体装置の配線25、28の平面形状の一例を示す断面斜視図である。図8が示すように、ダミー配線25a、25b、および、配線28b、28c、28dは、互いに平行であり、しかも、それらの平面形状は、いずれも帯状である。図8の形態では、配線25、28の平面形状が単純であり、レイアウト設計が容易であるという利点がある。

【0082】これに対して、図9が示す例では、ダミー配線25a、25b、および、配線28b、28c、28dは、互いに平行である点では、図8の例と変わらないが、ダミー配線25a、25bの平面形状が、延在方向に沿って凹凸が反復するフィン構造を有している点において、図8の例とは特徴的に異なっている。フィン構造によって、ダミー配線25a、25bの表面積が増えるので、ダミー配線25a、25bの容量が大きくなり、それに応じて、遮蔽の効果が高められるという利点が見られる。

【0083】図9において、ダミー配線25aとダミー配線25bの間で、フィン構造に相違が見られる。ダミ

17

一配線 25a のフィン構造では、本来の配線幅（段差を緩和するというダミー配線の目的に適合した配線幅）200a よりも配線幅が狭くなる部分が、反復的に形成されているのに対して、ダミー配線 25b のフィン構造では、本来の配線幅 200b よりも配線幅が広がる部分が、反復的に形成されている。両者の選択は、配線 28 とダミー配線 25 との間のスペースと、転写工程あるいはエッチング工程における最小配線幅との兼ね合いにもとづいて、行われると良い。例えば、本来の配線幅 200b が、転写工程あるいはエッチング工程の最小配線幅に相当するときには、ダミー配線 25b のように、本来の配線幅よりも広い部分を有するフィン構造が採用されるとよい。

【0084】2. 実施の形態 2.

この発明の実施の形態 2 では、ダミー配線が複数層にわたって形成されており、それらがダミープラグによって接続されており、しかも、これらのダミー導電体（ダミー配線およびダミープラグの総称）が、接地電位を伝達する接地配線に限らず、低電位側電源電位および高電位側電源電位を基準として一定の電位（すなわち、安定電位）を伝達する配線に接続され、それにより、半導体装置の動作時に、ダミー導電体の電位が安定電位に固定される半導体装置について、説明する。特に、低電位側電源電位（接地電位を含む） V_{SS} 、高電位側電源電位 V_{DD} 、プリチャージ電位 V_{PC} 、および、基板電位 V_{BB} の中で、隣接する導電体が伝達する電位に最も近い安定電位を選んで、ダミー導電体の電位が固定される例、および、逆に異なる安定電位を選んで、ダミー導電体の電位が固定される例についても、説明する。

【0085】一般に、ダミー配線が安定電位に固定されると、配線に重畳するノイズあるいはクロストークを、ダミー配線の遮蔽効果によって抑制する効果が高められ*

$$C_3^C = C_{23}^C + C_{34}^C$$

【0091】また、結合容量に起因して発生する配線 M 3 の上での鏡像電荷は、つぎの式 3 で表される。*

$$Q_3^C = C_{23}^C \cdot \Delta V_{23} + C_{34}^C \cdot \Delta V_{34}$$

【0093】この鏡像電荷が配線 M 3 を伝わる信号の遅延の原因となる。以上のことを踏まえた上で、以下の 2 つの場合を想定し、ダミー配線に印加するのに適切な電位について考察する。

【0094】2.1.1 配線 M 3 の電位が V_{SS} または V_{DD} である場合。

配線 M 3 の電位が、低電位側電源電位（接地電位 = 0 V を含む） V_{SS} または高電位側電源電位 V_{DD} である場合には、配線 M 3 の電位は一定で安定している必要がある。配線 M 1、M 5 が信号線であって、ダミー配線 M 2、M 4 が無い場合には、配線 M 3 には結合成分 C_{13}^C や C_{35}^C が発生し、配線 M 1、M 5 を伝わる信号の影響により、

18

* する。はじめに、このことを詳細に説明する。

【0086】2.1. 配線間容量の簡単なモデル.

図 10 は、ラインアンドスペースパターンの中に発生する寄生容量を説明する模式図である。互いに同層に属する配線 M 1 ~ M 5 が、下層配線 M L および上層配線 M U の間に配設されている。配線 M 1 ~ M 5 には、ダミー配線 M 2、M 4 が含まれ、配線 M 1、M 3、M 5 は、回路動作に直接に寄与する配線である。各配線の間は図示しない層間絶縁膜で絶縁されている。図中、「C」は配線間の容量を表しており、下付き添字は容量に寄与する配線番号を表し、上付き添字としての「A」は容量の面（Area）成分、「F」は容量のフリンジ（Fringe）成分、そして、「C」は結合（Coupling）成分を表す。

【0087】LSI におけるピッチが狭くなると、一般に配線間の間隔が狭くなる。同層に属する配線の間結合容量を平行平板の容量 C で近似すると、結合容量は次式で表される。

【0088】

【数 1】

$$C^C = \epsilon \frac{S}{d} \quad \dots (式 1)$$

【0089】ここで、 ϵ は層間絶縁膜の誘電率、 d は平行平板の間隔、 S は平行平板の面積である。上層配線と下層配線の間介挿される層間絶縁膜の厚さを保ちつつ、配線 M 1 ~ M 3 の同層内での配線間隔を狭くすると、配線間隔は、式 1 の間隔 d に相当するので、結合容量は大きくなる。特に、LSI の微細化が進むのにもとない、ピッチが狭くなると、寄生容量の成分のうち結合成分が支配的となる。配線 M 3 の寄生容量のうち、結合容量の成分はつぎの式 2 で表される。

【0090】

【数 2】

$$\dots (式 2)$$

※【0092】

【数 3】

$$\dots (式 3)$$

配線 M 3 にノイズが誘起され、配線 M 3 の電位が不安定になる可能性がある。

【0095】この問題を解決するためには、ダミー配線 M 2、M 4 を設け、配線 M 3 が高電位側電源電位 V_{DD} を伝える高電位側電源線である場合には、配線 M 2、M 4 を高電位側電源電位 V_{DD} に固定し、配線 M 3 が低電位側電源電位 V_{SS} を伝える低電位側電源線である場合には、配線 M 2、M 4 を低電位側電源電位 V_{SS} に固定するとよい。式 3 より、配線 M 3 と配線 M 2 の間、M 3 と配線 M 4 の間の電位差がなくなるため、配線 M 3 の寄生電荷が減少する。それゆえ、配線 M 3 が長い配線である場合でも、たとえ配線 M 3 に電位変動があっても、電源電圧安

19

定化回路の動作によって、配線M3の電位が高電位側電源電位 V_{DD} へ戻る時間が短くなる効果がある。さらに、配線M2、M4の電位が固定されることにより、配線M3は配線M1、M5から遮蔽される。それゆえ、配線M3に配線M1、M5を伝わる信号の影響が及ばずに、配線M3の電位が安定する。

【0096】例えば、図3が示した構造において、配線28dが高電位側電源線である場合、ダミー配線25aが高電位側電源電位 V_{DD} に固定されれば、配線28dとダミー配線25aの間の寄生電荷は減少する。したがって、仮に、極めて長い金属配線28dにおいて、電源から遠いところで電圧降下が起こっても、その抵抗成分が大きいので、寄生容量が少ない分だけ短い時間に電圧降下を是正し、電位が元の高電位側電源電位 V_{DD} へ復帰することが可能になる。同時に、信号線である配線28bと配線28dは、ダミー配線25aによって、互いに遮蔽されるので、配線28bと配線28dの双方において、ノイズが低減する。

【0097】2.1.2 配線M3がプリチャージ線である場合、

配線M3が、プリチャージ線である場合には、一連の回路動作の一つの状態として、配線M3には、プリチャージ電位 V_{PC} （通常、 V_{DD} の半分の値（ $=V_{DD}/2$ ）、あるいは、 V_{DD} ）が印加される。例えば、半導体装置がDRAMあるいはSRAMである場合、対をなすビット線は、プリチャージ線の一種であるが、メモリセルから情報を読み出す動作、あるいは、メモリセルへ情報を書き込む動作の前に、プリチャージされる。ビット線がプリチャージされた後、パストランジスタがオンして、ビット線に微小電圧が重畳される。対になっているビット線の間で、電位の比較がセンスアンプで行われることにより、一方のビット線の電位が他方のビット線の電位より高い場合には、一方のビット線の電位は高電位側電源電位 V_{DD} へ変化する。また、逆に、他方のビット線の電位より低い場合には、低電位側電源電位 V_{SS} へ変化する。対をなすビット線の電位を比較することにより、各メモリセルのビットの情報の読み出し、および、書き込みが可能となっている。

【0098】このように、配線M3がプリチャージ線である場合は、プリチャージ電位 $V_{DD}/2$ から0V、あるいは、 V_{DD} へ変化する。また、その逆の電位変化も生じる。この繰り返しが頻繁に行われる。この電圧変化に起因して、プリチャージ線の周囲の配線に、ノイズが誘起される。したがってプリチャージ線は周囲から遮蔽した方が望ましい。また同時に、プリチャージ線を遮蔽することにより、プリチャージ線に、周囲の信号線に起因するノイズが誘起されることも抑制することができる。

【0099】式3で表される、結合容量に起因して配線M3に誘起される鏡像電荷は、配線M2と配線M3との間の電位差と、配線M3と配線M4との間の電位差が小

20

さいほど少なくなる。配線M2、M4にプリチャージ電圧 $V_{DD}/2$ を印加しておけば、電荷 Q_3 の時間平均値は、最小値近くなる。したがって、配線M3がプリチャージ線であって、電位 $V_{DD}/2$ にプリチャージされる場合には、ダミー配線M2、M4も、プリチャージ電位 $V_{PC}=V_{DD}/2$ へ固定するのが最適である。

【0100】図8の構造で、例えば、配線19bがプリチャージ線であれば、ダミー配線21a、21b、および、ダミープラグ22a、22bをプリチャージ電位 V_{PC} に固定しておけば、配線19bでは、寄生電荷の時間平均が減少するため、S/N比の高い信号伝送が可能になる。また同時に、プリチャージ線の電位変化に起因するノイズが、周囲の配線19a、19cに誘起されるとい現象も抑制される。

【0101】DRAMあるいはSRAMだけでなく、インバータ等の論理回路においても、その出力に接続される配線が、回路動作を高速化するためにプリチャージされることがある。この場合、プリチャージ線は、始めに高電位側電源電位 V_{DD} に設定され、その後、回路動作にともない低電位側電源電位 V_{SS} へ変化する。電位変化が V_{DD} と大きいと、プリチャージ線の周囲の配線に大きなノイズが誘起されるという問題が発生している。

【0102】そこで、例えば、図10における配線M3が、このようなプリチャージ線である場合、ダミー配線M2、M4を低電位側電源電位 V_{SS} に固定して、配線M3の回りを遮蔽することにより、配線M3で発生するノイズが配線M1、M5等の他の信号配線に及ぶのを防ぐことができる。

【0103】インバータ等の論理回路においても、前記プリチャージ線において、回路動作により低電位側電源電位 V_{SS} へ変化する頻度が少ない場合には、図10におけるダミー配線M2、M4に、プリチャージ電圧を印加しておけば、式3が示すように、配線M3に寄生電荷が誘起されることがなくなるので、回路動作がさらに速くなるという効果が得られる。

【0104】以上に述べたように、同一の半導体装置の中での回路上の部位によって、ダミー配線に印加すべき電位は異なる。したがって、同一の半導体装置の中での部位によって、異なる電位に固定されるダミー配線とダミープラグが複数存在してもよい。

【0105】2.2. ノイズの原因となる配線における電磁誘導、

前節では、プリチャージ線の電位変化によって発生するノイズについて説明した。ここでは、この種のノイズの原因である、配線における電磁誘導について説明する。図11は配線における電磁誘導を説明する模式図である。配線M1の表面に一樣に分布している電荷が、 $-Q(t) = -Q(t) \cdot \sin \omega t$ の形式で、時間とともに変化している場合を考える。流れる電流は $-dQ/dt = -Q\omega \cdot \cos \omega t$ となる。

21

【0106】この場合に、配線M1と配線M2の間に発生する磁場を計算する。配線M2には、鏡像電荷+Q(t)が発生する。配線M2にガウスの法則 $\text{div} D(x, t) = \rho(x, t)$ を適用してみる。ここで、 $D(x, t)$ は電束密度、 $\rho(x, t)$ は電荷密度である。配線M2に破線で示した矩形領域内では、配線M2の内部には電荷は存在*

$$\epsilon \cdot E(t) = \frac{Q(t)}{L \cdot S} \quad \dots (\text{式4})$$

【0108】ただし、 ϵ は金属配線間を充填している層間絶縁膜の誘電率である。アンペール・マクスウエル¹⁰の法則により、

$$\text{rot} H(x, t) = i(x, t) + \frac{\partial D(x, t)}{\partial t} \quad \dots (\text{式5})$$

【0110】が成り立つ。

【0111】配線M1、M2の間の層間絶縁膜に設定された中心軸のまわりの半径Rの円板を想定する。電流は流れていないので、 $i(x, t) = 0$ である。半径Rの円★

$$\int_P \text{rot} H(x, t) \cdot n dS = \int H \cdot dx = 2\pi R \cdot H(R) \quad \dots (\text{式6})$$

【0113】となり、また、右辺は、

【0114】

$$\begin{aligned} \int_P \frac{\partial D}{\partial t} \cdot n dS &= \pi R^2 \frac{\pi R^2}{S \cdot L} \cdot \frac{dQ(t)}{dt} \\ &= \frac{\pi R^2}{S \cdot L} \cdot \omega Q \cos \omega t \quad \dots (\text{式7}) \end{aligned}$$

【0115】となる。したがって、

【0116】

$$H(R) = \frac{\omega Q}{2S \cdot L} \cdot R \cos \omega t = \frac{RI_1}{2S \cdot L} \quad \dots (\text{式8})$$

【0117】が得られる。ただし、 I_1 はM1を流れる電流である。

【0118】式8が示すように、配線M1を流れる電流 I_1 に起因する磁場Hが、隣接する配線に発生する。この磁場が変動すると、配線M2に起電力が発生し、変位電流が流れる。この変位電流は信号にともなう電流ではなく、ノイズとして働く。それゆえ、信号としての電流が流れる配線M1と配線M2の間に、0Vあるいはプリチャージ電位 V_{PC} で固定したダミー配線を配置することにより、この種のクロストークを防止することができ⁴⁰る。

【0119】以上に述べたように、配線とそれに隣接するダミー配線との間の電位差をゼロとすることにより、寄生電荷の発生が抑えられ、それにより、元の電位に回復する時間が短縮される。その結果、配線に誘起されるノイズが、より一層効果的に低減される。

【0120】一方、これとは逆に、配線とそれに隣接するダミー配線との間に、電位差を印加して、それにより、配線に誘起されるノイズを効果的に低減することも可能である。これは、電位差のために寄生電荷が多く発⁵⁰

22

*せず、配線M2の表面にのみ存在している。配線M2の長さをL、矩形領域の法線方向の電解強度を $E(t)$ とすると、ガウスの法則より、つぎの式4が成り立つ。

【0107】

【数4】

※【0109】

【数5】

★板P上で面積分すると、左辺は、

【0112】

【数6】

²⁰ ☆【数7】

☆

◆【数8】

◆

生するので、一旦電位が変動すると、もとの電位に回復するには時間を要するが、寄生電荷によって配線とダミー配線との間に生じる電気力線のために、電位が変動しにくいことに由来する。つぎの項で述べるように、配線を伝わる信号の種別に応じて、双方の間で使い分けを行うと良い。

【0121】2.3. ダミー導電体の電位固定の例。

つぎに、以上に述べた機構にもとづいて、ダミー導電体がさまざまな電位に固定される例を示す。図12は、ダミー導電体が接地電位に固定される半導体装置の例を示す断面図である。したがって、図12の半導体装置は、実施の形態1に該当している。図12では、実施の形態1の図7で図示を略していた、ダミー導電体と接地配線との接続部をも、同時に例示している。

【0122】図12の半導体装置では、MOSFETのソース・ドレイン電極としての一対のプラグ46に、配線8A、8Bが接続され、配線8Aは、プラグ20A、配線19C、および、プラグ29Aを通じて配線28Aへ接続されている。配線8Bは、配線70へ接続されている。配線28Aは、プラグ71を通じて、最上層の配線

23

72に接続されている。配線72は、低電位側電源配線として配設されている。

【0123】第1層配線として、配線8A、8Bの他に、ダミー配線9A~9Cが配設されている。また、第2層配線として、配線19Cを含む配線19A~19D、および、ダミー配線21A、21Bが配設されている。ダミー配線9C、21Aには、ダミープラグ22A、26Aが接続され、ダミー配線21Bには、ダミープラグ26Bが接続されている。ダミープラグ26A、26Bは、プラグ29Aとともに、配線28Aに接続されている。これにより、ダミー導電体9C、22A、21A、26A、26B、21Bは、導電体46、20A、19C、29Aとともに、低電位側電源電位 V_{SS} に固定される。

【0124】図12には、導電体とこれに隣接するダミー導電体とが、ともに低電位側電源電位 V_{SS} に固定される例を示したが、これらの導電体の電位には、図13が示すように、様々な組み合わせが有り得る。

【0125】組み合わせ番号1、4、8、12は、配線19Cに起因するノイズを、ダミー配線21A、21Bが遮蔽する効果と、ダミー配線21A、21Bと、配線19Cとの間の電位差を、ゼロにして、配線19Cに発生する寄生電荷に起因するノイズを低減することを目的としている。

【0126】組み合わせ番号2、3、5、6、7、9、11、12は、配線19Cに起因するノイズを、ダミー配線21A、21Bが遮蔽する効果と、ダミー配線21A、21Bと、配線19Cとの間に、電位差を印加して、配線19Cの電位を安定させることにより、ノイズを低減することを目的としている。

【0127】配線19Cが信号 V_{SIG} を伝える信号線である場合には、信号線である配線19Cからのノイズを遮蔽する意味で、組み合わせ番号13、14、15、16のいずれも有効である。図12では、信号線としての配線とダミー配線とが交互に配置されているが、複数本の信号線おきに、1本のダミー配線を配置することも可能である。

【0128】配線に誘起されるノイズを低減するために、配線とそれに隣接するダミー配線との間の電位差をゼロとする形態は、組み合わせ番号4において最適であり、配線とそれに隣接するダミー配線との間に、電位差を印加する形態は、組み合わせ番号2、3において最適である。

【0129】図13の組み合わせ番号1、8、12に該当する形態は、図12と同様に描かれる。図12において、配線72が低電位側電源線であれば、図12は、組み合わせ番号8の形態を例示し、基板電位線であれば、組み合わせ番号12の形態を例示する。

【0130】組み合わせ番号4の形態は、図14で例示される。図14において、配線28Aは、プリチャージ

24

線である。この例では、プリチャージ線は、ダミー配線21Aと配線19Cとを共有化しており、同一のプリチャージ回路で、それらの電圧が設定されている。プリチャージ回路を共有化している分だけ、半導体基板1の上方のエリアペナルティが少ないという利点を得られる。ダミー配線21Aと配線19Cの電圧を、それぞれ別個のプリチャージ回路で設定しても良い。その場合には、各プリチャージ回路は互いに同期させる必要がある。

【0131】組み合わせ番号2、3の形態は、図15で例示される。図15において、ダミー配線25Aとダミー配線25Bは、ダミープラグ71A、71B、および、最上層のダミー配線72によって接続されている。配線28Aは、高電位側電源線であり、ダミー配線72は、図に現れない部位で、低電位側電源電位線または基板電位線に接続されている。

【0132】組み合わせ番号14の形態は、図16で例示される。図16において、ダミー配線21A、21Bは、半導体装置のなかに配設されるプリチャージ回路60が備えるMOSFET61、62のソース・ドレイン電極に、それぞれ接続されている。MOSFET61、62の接続部には、プリチャージ電位 V_{PC} が印加されており、それらのゲート電極には、プリチャージ信号 S_{PC} が入力される。配線19Cは、信号 V_{SIG} を伝える信号配線である。

【0133】組み合わせ番号13、15、16の形態は、図17で例示される。図17において、ダミー配線21A、21Bは、半導体装置のなかに配設される電源電位信号回路65が備えるMOSFET66、67のソース・ドレイン電極に、それぞれ接続されている。MOSFET66、67の接続部には、低電位側電源電位 V_{SS} 、高電位側電源電位 V_{DD} 、または、基板電位 V_{BB} が印加されており、それらのゲート電極には、電源電位信号 S が入力される。配線19Cは、信号 V_{SIG} を伝える信号配線である。

【0134】3. 実施の形態3.

この発明の実施の形態3による半導体装置は、層間絶縁膜よりも熱伝導率が大いパッシベーション膜またはヒートシンク、あるいはその双方で覆われていることを特徴としている。この特徴によって、層間絶縁膜の冷却効果が高められる。

【0135】絶縁膜に高周波の電磁波が伝搬すると、絶縁膜中の分子が分極を繰り返す。分極する際に発生するエネルギーが熱に変換されるために、絶縁膜が発熱する。この現象を誘電損といい、電子レンジに利用されている。半導体装置の動作周波数が、数百MHzから数GHz程度にまで高くなると、誘電損による発熱が、従来に比べて顕著になる。

【0136】層間絶縁膜の中の温度が上昇すると、以下のような問題が引き起こされる。(1)熱雑音が増大する。高周波で動作する場合には、 $1/f$ 雑音よりも熱雑

25

音の方が支配的になる。熱雑音が過剰に大きいと、特にアナログ回路において、誤動作の原因になる恐れがある。(2)配線を構成する金属原子が層間絶縁膜へ拡散、あるいは、ドリフトし、その結果、絶縁膜の絶縁特性が劣化する。(3)金属配線の温度が上昇する結果、金属配線の抵抗が上昇するため、回路の動作速度が低下する。(4)層間絶縁膜で発生した熱が半導体基板へ伝導することにより、半導体基板の温度(基板温度)が上昇する。その結果、電子あるいは正孔のフォノン散乱確率が上昇し、移動度が低下するため、トランジスタの動作速度が低下する。

【0137】273Kでの熱伝導係数は、 SiO_2 (酸化シリコン)では $0.014\text{W}/(\text{cm}\cdot\text{degree})$ であり、Cuでは $4.01\text{W}/(\text{cm}\cdot\text{degree})$ 程度である。熱が層間絶縁膜に蓄積するのは、層間絶縁膜の熱伝導係数が極めて小さいためである。また、フッ素を含有する絶縁膜は、 SiO_2 よりも比誘電率が小さく配線容量を低減する点では、有効な材料であるが、熱伝導係数が SiO_2 よりも小さいため、 SiO_2 を層間絶縁膜に用いた従来の半導体装置よりも、基板温度が高くなるという問題点が指摘されている。

【0138】ダミー配線およびダミープラグが存在しない従来の半導体装置では、層間絶縁膜に熱が蓄積し、その結果、基板温度が高くなるという問題点があった。層間絶縁膜に発生する熱を放散させ、その温度を下げるために、従来の半導体装置では、半導体基板の主面の上方、あるいは、底面に、ヒートシンクが取り付けられていた。この場合には、層間絶縁膜の中に発生した熱は、ヒートシンクへ伝搬して始めて取り除かれることになる。しかしながら、多層配線が網の目のように配設されている層間絶縁膜の中で発生する熱は、層間絶縁膜の中の熱伝導係数が低いために、迅速に放散されず、基板温度を十分に低く抑えることが困難であるという問題点があった。

【0139】本発明の実施の形態3の半導体装置は、層間絶縁膜の中を網羅しているダミー配線とダミープラグを用いて、層間絶縁膜の中で発生した熱が、半導体装置の上面に到達し易くすることにより、層間絶縁膜の冷却効率を高めるように、構成されている。

【0140】図18は、実施の形態3による半導体装置の構成を示す断面図である。図18の半導体装置は、図7に示した実施の形態1の半導体装置とは、パッシベーション膜27が、熱伝導率の高いパッシベーション膜30へ置き換えられ、さらに、ヒートシンク32が設けられている点において、特徴的に異なっている。すなわち、図18の半導体装置は、(1)ダミー配線とダミープラグとが接地されていること、(2)最上層の配線と、ヒートシンク32の間にあるパッシベーション膜30の熱伝導率が、層間絶縁膜4、10、23の熱伝導率よりも大きいこと、を特徴としている。図18の半導体

26

装置では、ヒートシンク32がパッシベーション膜30に接触するように取り付けられているが、ヒートシンク32がなくても、パッシベーション膜30のために、従来の半導体装置に比べて高い冷却効果が得られる。

【0141】図19は、実施の形態3による別の半導体装置の構成を示す断面図である。図19の半導体装置は、(1)ダミー配線とダミープラグが接地されていること、(2)パッシベーション膜30の一部にプラグ31が形成され、ヒートシンク32と最上層のダミー配線がプラグ31を通じて接続されていることを、特徴としている。

【0142】ダミー配線およびダミープラグの材料は金属であるので、接触する層間絶縁膜で発生する熱を、効率よくヒートシンク32へ伝える。熱の伝導速度は、絶縁膜よりも金属の方が高いため、ダミー配線あるいはダミープラグのない従来の半導体装置に比べて、層間絶縁膜の熱を冷却する効果が大きい。そのため、半導体装置の回路動作を高めることができる。

【0143】図18および図19のダミー配線の平面形状は、図8が示す形状であってもよく、また、図9が示すように、フィン構造としていてもよい。フィン構造を採用することにより、ダミー配線の表面積が増えるため、層間絶縁膜23からダミー配線への熱の吸収が促進されるので、冷却効果がさらに高められる。

【0144】また、図9のA-A切断線に沿った断面構造の例を図20および図21に示すように、半導体基板1の主面に沿った方向だけでなく、主面に垂直な方向にも、フィン201を形成しても良い。フィン201は、ダミー配線25aに接続されたダミープラグの一種である。フィン201が設けられることにより、さらに、冷却効果を高めることができる。図20では、フィン201は、下層のダミー配線には接続されないが、図21では、下層のダミー配線21aに接続されている。図21の例では、ダミー配線21aからダミー配線25aへの熱の伝導が促進されるので、冷却効果がさらに向上する。

【0145】文献2では、最上層に位置する配線の上にヒートシンクが設けられ、最上層のダミー配線が、ダミープラグを通じてヒートシンクに接続された半導体装置が開示されている。しかしながら、実施の形態1で述べたように、文献2には、これらのダミー導電体が、接地電位等の安定電位に固定される技術は、開示されていない。また、フィン構造についても開示がない。

【0146】4. 実施の形態4.

この発明の実施の形態4による半導体装置は、ダミープラグを介してダミー配線がSTIあるいはBOX層(埋め込み酸化層)に接続されることを、特徴としている。この特徴によって、STIあるいはBOX層の冷却が効果的に行われる。

【0147】図22は、実施の形態4による半導体装置

27

の構成を示す断面斜視図である。図22の半導体装置は、図7に示した実施の形態1の半導体装置とは、STI2の一つであるSTI107の上部に溝が形成され、この溝にバリアメタル208を介して導電層209が埋設され、この導電層209が、ダミープラグ210を介してダミー配線9aに接続されている点において、特徴的に異なっている。

【0148】図18の半導体装置に特徴的な構造を形成するには、まず、半導体基板1の主面に形成されたSTI207の上部を、エッチングを用いて選択的に除去することにより、溝が形成される。その後、バリアメタル208が溝の側面と底面に形成される。つぎに、溝を金属で埋め込むことにより、ダミーの導電層209が形成される。その後の工程を通じて、金属層209が、ダミープラグ210を介して、ダミー配線9a、および、さらに上層のダミー配線と接続される。これにより最終的に、導電層209は、金属で構成されるダミープラグおよびダミー配線を通じて、最上層に位置するダミー配線25aに接続される。

【0149】図18の半導体基板は以上のように構成されるので、STI207に蓄積された熱が、効率よく放散される。また、導電層209は、ダミー配線25aを通じて、接地されるので、STI207を挟んで互いに分離されるMOSFETの間を遮蔽し、干渉を抑制する効果が高められる。ダミー配線25aの上方に、図18あるいは図19が示したように、ヒートシンク32を設けると、STI207の冷却効果がさらに高められる。

【0150】図23が示すように、STI207に溝を形成することなく、STI207の上面の上に、ダミー配線層としての導電層211を形成し、ダミープラグ210に接続しても良い。この構造でも、図22の構造と同様に、STI207に蓄積された熱が効率よく放散されるとともに、分離されるMOSFETの間を遮蔽する効果が高められる。

【0151】図24は、実施の形態4の半導体装置の別の例を示す断面斜視図である。図24の半導体装置では、半導体基板1が、BOX214を備えるSOI (Silicon On Insulator) 基板として構成されている。素子分離構造として、底部がBOX214に達しないSTIであるPTI (Partial Trench Isolation) 213とともに、BOX214に達するSTI207が形成されている。なお、BOX214は、一般の絶縁物を材料とする埋め込み絶縁層として形成しても良い。

【0152】STI207の上面から底面まで貫通し、さらにBOX214に達する溝に、バリアメタル208を介して導電層212が埋設されている。導電層212は、ダミープラグ210へ接続されている。

【0153】この特徴的な構造を形成するには、まず、半導体基板1の主面に形成されたSTI207とBOX層214に溝が形成される。その後、バリアメタル20

28

8が溝の側面と底面に形成される。つぎに、溝を金属で埋め込むことにより、ダミーの導電層212が形成される。導電層212はダミー配線とダミープラグを介して接地されていることである。その後の工程を通じて、金属層212が、ダミープラグ210を介して、ダミー配線9a、および、さらに上層のダミー配線と接続される。これにより最終的に、導電層212は、金属で構成されるダミープラグおよびダミー配線を通じて、最上層に位置するダミー配線25aに接続される。

【0154】図18の半導体基板は以上のように構成されるので、STI207およびBOX214に蓄積された熱が、効率よく放散される。また、導電層212は、ダミー配線25aを通じて、接地されるので、STI207を挟んで互いに分離されるMOSFETの間を遮蔽する効果が高められる。

【0155】互いに分離されたMOSFETの間が、効果的に遮蔽されることにより、それらのMOSFETどうしの内部電界が互いに干渉し合うことに起因する短チャネル特性、逆短チャネル特性、狭チャネル特性、および、逆狭チャネル特性を抑制することが可能となる。このことは、図22および図23が示した構造においても同様である。

【0156】図25および図26は、シールドされたSTI207の応用例を示す平面図である。シールドしたSTI207とは、導電層209、211、212のいずれかを備え、かつ、その導電層が接地されている（または、安定電位に固定されている）STI207を意味する。

【0157】図25が示す半導体基板1には、機能ブロックとして、メモリアレイが配置されるメモリアレイ領域81、および、周辺回路が作り込まれる周辺領域82を有しており、それらの間がSTI207によって分離されている。ビット線に微小な信号が伝達されるメモリアレイ領域81を、シールドされたSTI207で、周辺領域82から分離することにより、センスアンブへ接続されるビット線の信号にノイズが重畳することを抑制することができる。その結果、S/N比が向上する。また、STI207あるいはBOX214に蓄積した熱が、チップサイズで効率よく放散される。

【0158】図26が示す半導体基板1には、メモリアレイ91、キャッシュメモリ92、CPU93、DPS94、および、入出力インタフェース95が、作り込まれている。すなわち、図26はシステムLSIの一例を示している。そして、これらの機能ブロックは、シールドされたSTI207によって、互いに分離されている。これにより、各機能ブロックを遮蔽することができるとともに、STI207あるいはBOX214に蓄積した熱が、チップサイズで効率よく放散される。

【0159】5. 変形例。

以上の実施の形態1から4では、シリコン基板を想定して説明したが、シリコン基板だけに限定されるものでは

29

なく、シリコン以外の半導体を主成分とする半導体基板、さらに、実施の形態 4 でも例示した SOI (Silicon On Insulator) 基板に対しても、本発明が適用できることは言うまでもない。

【0160】また、本発明を適用できる半導体装置は、DRAM (Dynamic Random Access Memory)、SRAM (Static Random Access Memory)、EEPROM (Electrically Erasable Programmable Read Only Memory)、論理回路等であり、これらを混載した半導体装置に対しても適用できることは言うまでもない。

【0161】さらに、以上に説明した各図面では、配線、プラグ、ダミー配線、ダミープラグは、模式的に描かれているため、矩形の断面形状を有するように描かれていたが、変形照明、近接補正効果、レンズ収差補正を含む転写工程、あるいは、エッチング工程に特有の効果により、仕上がり形状がテーパを有したり、特にコーナ一部分で丸みや窪み等を有し、必ずしも矩形に仕上がらない場合が少なくない。テーパ、丸み、窪み等を有するダミー配線やダミープラグに関しても、各実施の形態で説明した効果は有効であり、技術思想として本願の発明の範疇に属することは言うまでもない。

【0162】6. 用語の意味。

「ダミー配線」は、あらためて定義するまでもなく、当分野では広く用いられている概念であり、当業者には明確な概念である。当分野で用いられる「ダミー配線」とは、すでに述べたことから明らかなように、半導体装置の回路動作に直接関与せず、あってもなくても半導体装置の回路図の上では相違がないにも関わらず、回路動作に直接関与する配線が存在する配線層の中に、当該配線層の配線密度の均一性を高めるように配設される配線であると、表現することができる。したがって、ダミー配線の形状は、本明細書で開示される形状のみに限定されず、あらゆる幾何学的形状をも含む。また、「ダミープラグ」は、ダミー配線に接続されるプラグであると、表現することができる。ダミー配線が接地電位等に固定されても、MOSFET等の半導体素子へ接地電位等を伝達するための配線と、ダミー配線とは、当業者には明確に識別可能である。

【0163】

【発明の効果】第 1 の発明の装置では、複数層にわたってダミー配線が形成され、それらの間がダミープラグで接続され、しかも、これらのダミー導電体が安定電位に固定されるので、ダミー導電体の遮蔽効果によって、配線に誘起されるノイズ、または、クロストークを効果的に低減することができる。また、宇宙線に起因する α 線、あるいは二次的に発生する電子-正孔対を、ある程度除去することができるので、宇宙線に由来するソフトエラーをも低減することができる。

【0164】第 2 の発明の装置では、複数層にわたってダミー配線が形成され、それらの間がダミープラグで接

30

続され、しかも、これらのダミー導電体が素子分離構造の一部に形成された導電層に、別のダミープラグを通じて接続されているので、素子分離構造を効果的に冷却することができ、半導体基板の温度上昇を有効に低減することが可能となる。

【0165】第 3 の発明の装置では、素子分離構造の一部に形成された導電層がダミー導電体を通じて、安定電位線に接続されているので、素子分離構造で分離される半導体素子どうしの干渉を、効果的に低減することができる。

【0166】第 4 の発明の装置では、複数の機能ブロックの各々が、素子分離構造とともに導電層によって包囲されているので、機能ブロックの間の干渉を効果的に抑えることができる。

【0167】第 5 の発明の装置では、導電層が素子分離構造に埋設されているので、素子分離構造の冷却効果がさらに高められる。

【0168】第 6 の発明の装置では、導電層が前記素子分離構造を貫通し、埋め込み絶縁層に達しているので、埋め込み絶縁膜の冷却効果が高められ、半導体基板の温度上昇がさらに効果的に低減される。

【0169】第 7 の発明の装置では、ダミー配線が、同一層内で配線部分を挟むように形成されているので、ノイズまたはクロストークを低減する効果がさらに高められる。

【0170】第 8 の発明の装置では、ダミー配線が、配線部分の上方をも覆うように配設されているので、ノイズまたはクロストークを低減する効果が、より一層高められる。

【0171】第 9 の発明の装置では、ダミー導電体に接続される安定電位線が、低電位側電源線、高電位側電源線、プリチャージ線、または、基板電位線のいずれかであるので、安定性の高い電位への固定が実現する。しかも、遮蔽すべき配線が伝達する電位に応じて、安定電位を選択することにより、遮蔽効果をさらに高めることも可能である。

【0172】第 10 の発明の装置では、ダミー配線が、半導体基板の主面に沿った断面形状において、延在方向に沿って凹凸が反復する部分を有するので、ダミー配線の表面積が増える。このため、ダミー配線の容量が大きくなるので、遮蔽の効果がさらに高められる。

【0173】第 11 の発明の装置では、ダミー配線が、半導体基板の主面に垂直な面に沿った断面形状において、延在方向に沿って凹凸が反復する部分を有するので、層間絶縁膜に蓄積される熱を放散する効果が高められる。

【0174】第 12 の発明の装置では、凹凸が反復する部分の中の突起した部分が、下層に配設されるダミー配線の部分に接続されているので、層間絶縁膜に蓄積される熱を放散する効果がさらに高められる。

31

【0175】第13の発明の装置では、最上層を被覆し、層間絶縁膜よりも熱伝導率が高いパッシベーション膜が備わるので、層間絶縁膜に蓄積する熱が効果的に放散される。

【0176】第14の発明の装置では、パッシベーション膜に接触するヒートシンクが備わるので、層間絶縁膜に蓄積する熱が、さらに効果的に放散される。

【0177】第15の発明の装置では、ヒートシンクと最上層のダミー配線とが、別のダミープラグで接続されているので、層間絶縁膜に蓄積する熱が、さらに効果的に放散される。

【図面の簡単な説明】

【図1】 実施の形態1の装置の製造工程図である。

【図2】 図1の部分拡大図である。

【図3】 実施の形態1の装置の製造工程図である。

【図4】 実施の形態1の装置の製造工程図である。

【図5】 実施の形態1の装置の製造工程図である。

【図6】 実施の形態1の装置の製造工程図である。

【図7】 実施の形態1の装置の構成を示す断面図である。

【図8】 実施の形態1の装置の構成を示す断面斜視図である。

【図9】 実施の形態1の装置の別の構成例を示す断面斜視図である。

【図10】 実施の形態2の装置の動作原理を説明する模式図である。

【図11】 実施の形態2の装置の動作原理を説明する模式図である。

【図12】 実施の形態2の装置の構成例を示す断面図である。

【図13】 実施の形態2の装置の構成例を表形式で示す説明図である。

【図14】 実施の形態2の装置の別の構成例を示す断面図である。

【図15】 実施の形態2の装置の別の構成例を示す断面図である。

【図16】 実施の形態2の装置の別の構成例を示す断面図である。

【図17】 実施の形態2の装置の別の構成例を示す断面図である。

【図18】 実施の形態3の装置の構成例を示す断面図である。

【図19】 実施の形態3の装置の別の構成例を示す断面図である。

32

【図20】 実施の形態3の装置の別の構成例を示す断面図である。

【図21】 実施の形態3の装置の別の構成例を示す断面図である。

【図22】 実施の形態4の装置の構成例を示す断面斜視図である。

【図23】 実施の形態4の装置の別の構成例を示す断面斜視図である。

【図24】 実施の形態4の装置の別の構成例を示す断面斜視図である。

【図25】 実施の形態4の装置の応用例を示す平面図である。

【図26】 実施の形態4の装置の応用例を示す平面図である。

【図27】 第1の従来の装置の構成を示す断面図である。

【図28】 第1の従来の装置の構成を示す断面図である。

【図29】 第1の従来の装置の構成を示す断面図である。

【図30】 第2の従来の装置の構成を示す断面図である。

【図31】 第2の従来の装置の構成を示す断面図である。

【図32】 第2の従来の装置の構成を示す断面図である。

【図33】 第2の従来の装置の構成を示す断面図である。

【図34】 第2の従来の装置の構成を示す断面図である。

【図35】 第2の従来の装置の構成を示す断面図である。

【図36】 第2の従来の装置の構成を示す断面図である。

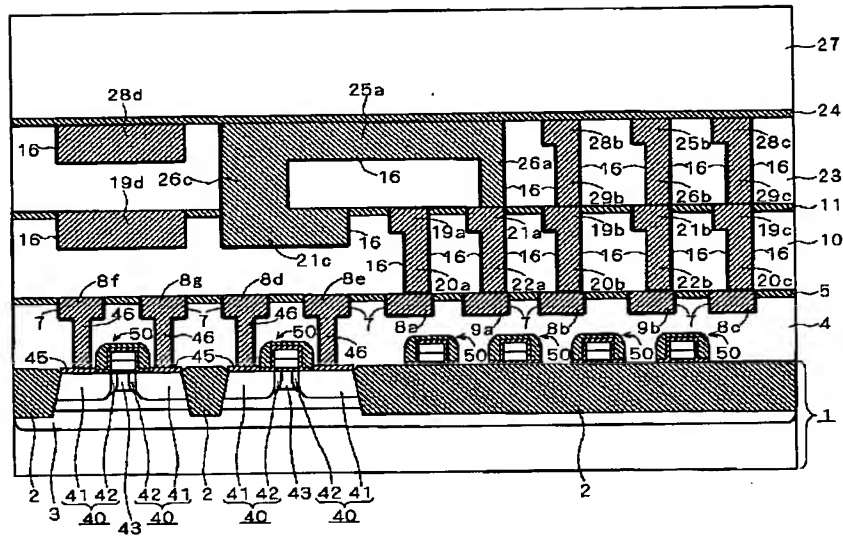
【符号の説明】

1 半導体基板、2, 207 素子分離構造、4, 5, 10, 11, 23, 24 層間絶縁膜、8, 19, 28 配線、9, 21, 25 ダミー配線、22, 26, 31, 210 ダミープラグ、23, 30 パッシベーション膜、32 ヒートシンク、81, 82, 91, 92, 93, 94, 95 機能ブロック、209, 211, 212 導電層、214 埋め込み酸化層（埋め込み絶縁層）。

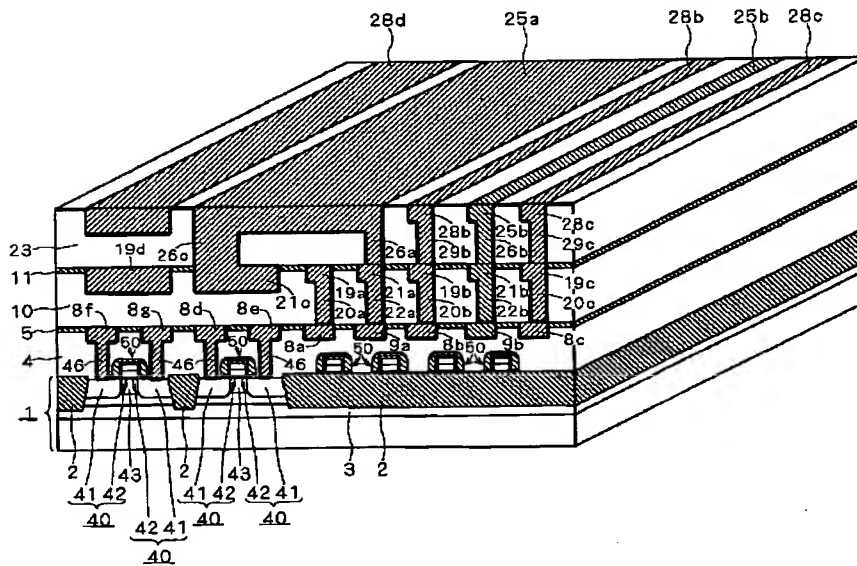
[illegible]

A detailed cross-sectional diagram of a semiconductor device. The structure consists of several stacked layers. At the base is a substrate layer labeled '2'. Above it are various functional layers and structures. Labels include: '1' pointing to the top surface; '10' pointing to a series of vertical pillars or spacers; '16' pointing to horizontal layers above the pillars; '17' and '18' pointing to specific features at the top; '19d' pointing to a gap between pillars; '8f', '8g', '8d', '8e', '8a', '8b', '8c' pointing to different regions of a middle layer; '46' and '50' pointing to small rectangular features; '45' pointing to larger trapezoidal structures; '41', '42', '43', '40' pointing to various thin layers and openings at the bottom; and '3' pointing to a very thin layer at the interface.

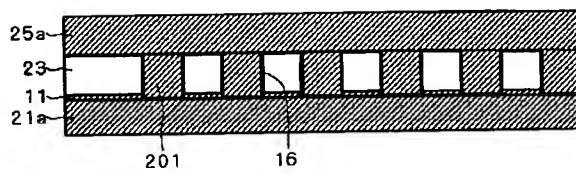
【図7】



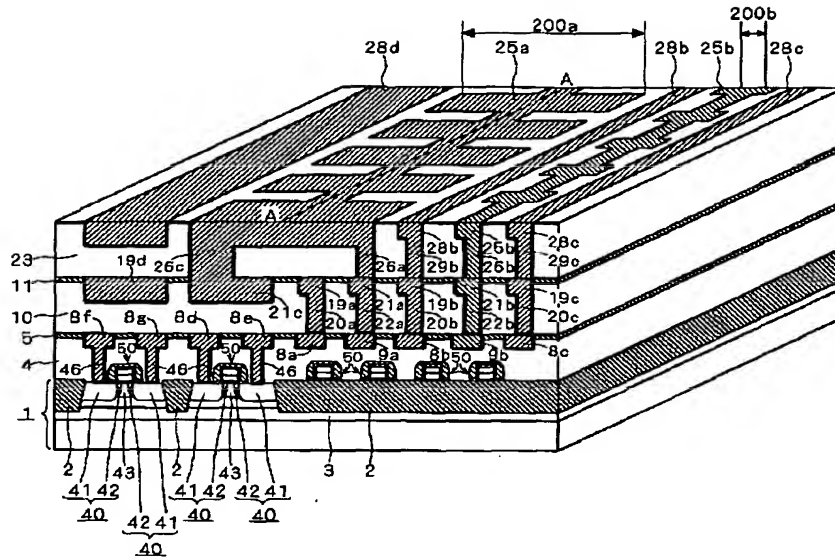
【図8】



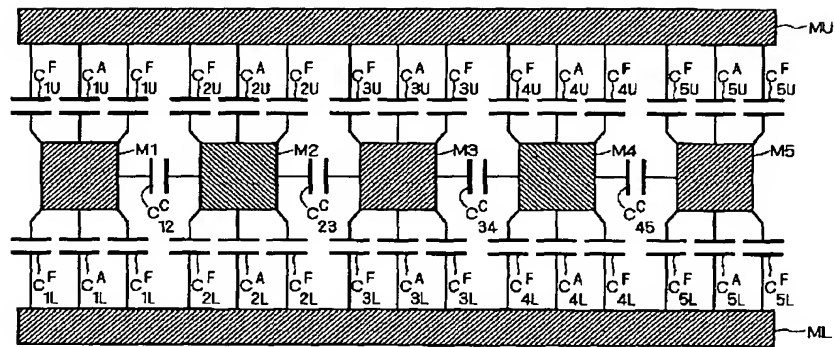
【図21】



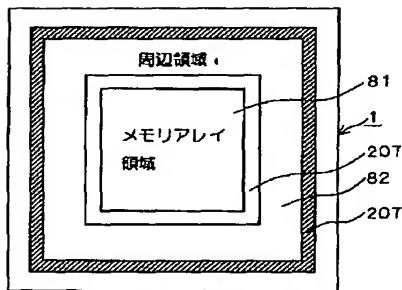
【図 9】



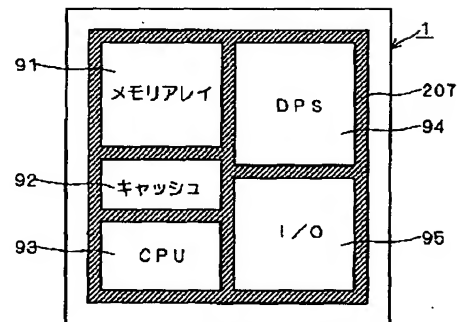
【図 10】



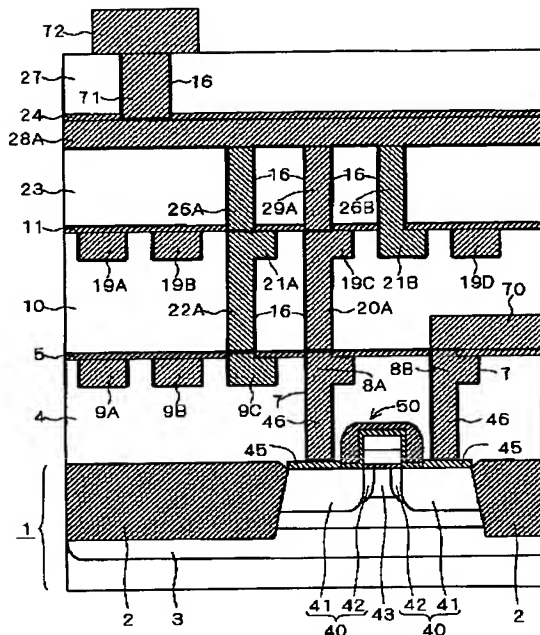
【図 25】



【図 26】



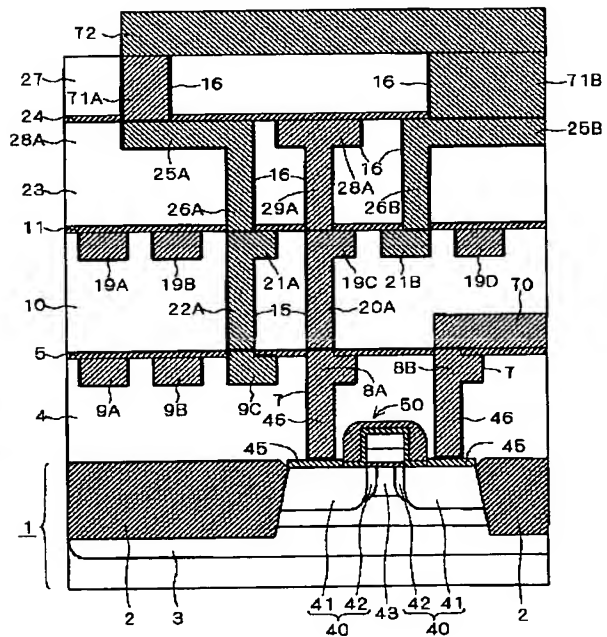
【図12】



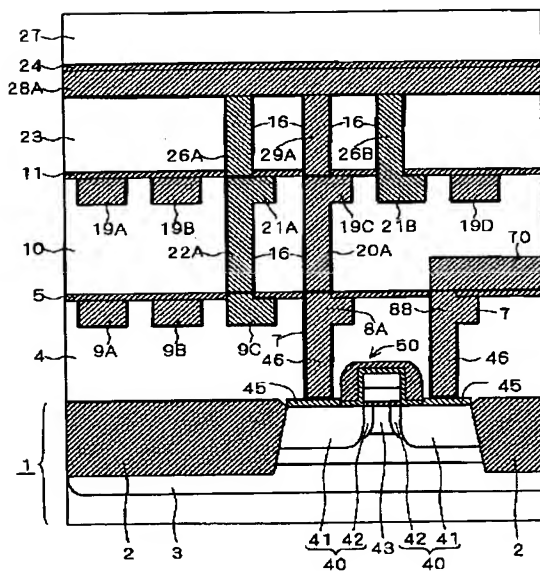
【図13】

	配線19C	ダミー配線21A, 21B
1	VDD	VDD
2	VDD	VSS
3	VDD	VBB
4	VPC	VPC
5	VPC	VSS
6	VPC	VBB
7	VSS	VDD
8	VSS	VSS
9	VSS	VBB
10	VBB	VDD
11	VBB	VSS
12	VBB	VBB
13	VSIG	VDD
14	VSIG	VPC
15	VSIG	VSS
16	VSIG	VBB

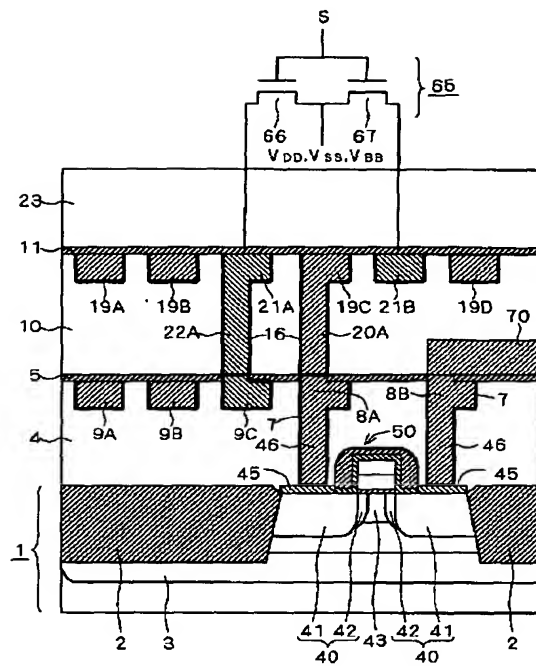
【図15】



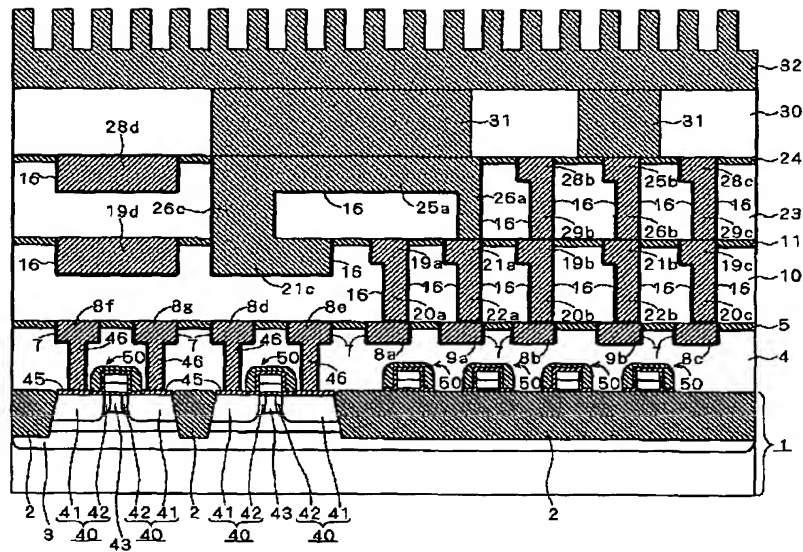
【図14】



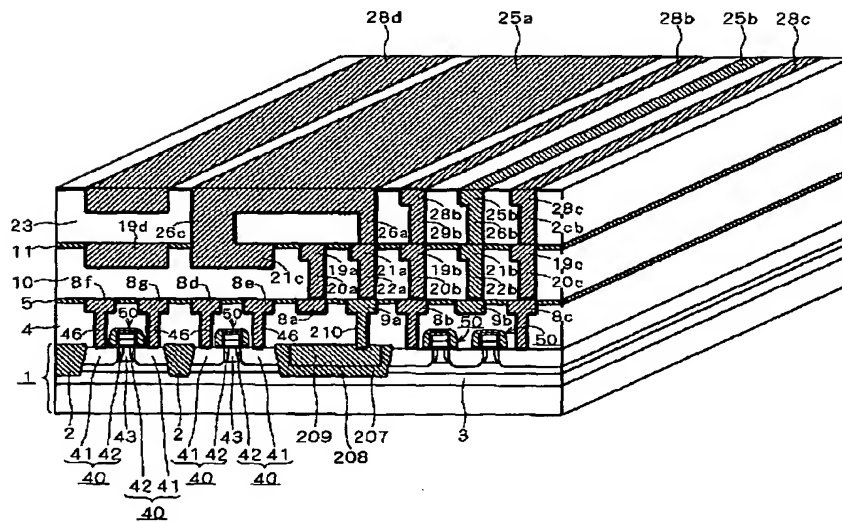
【图 17】



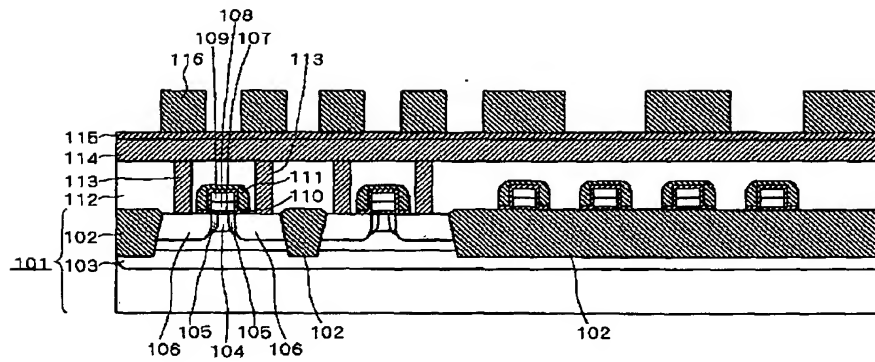
【图 19】



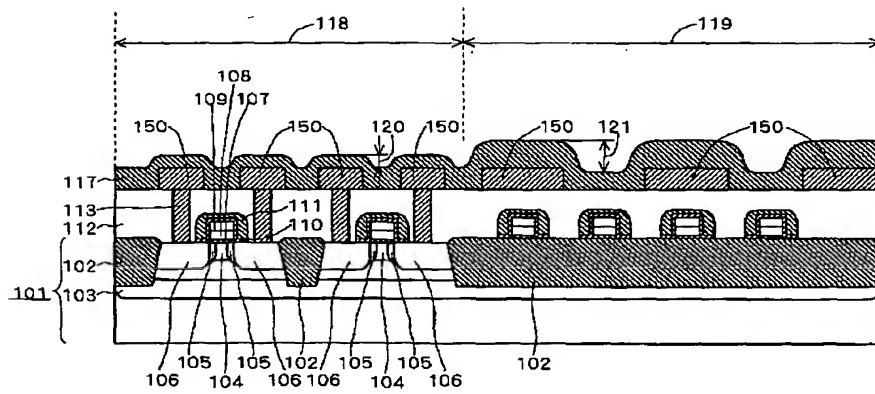
【图 2 2】



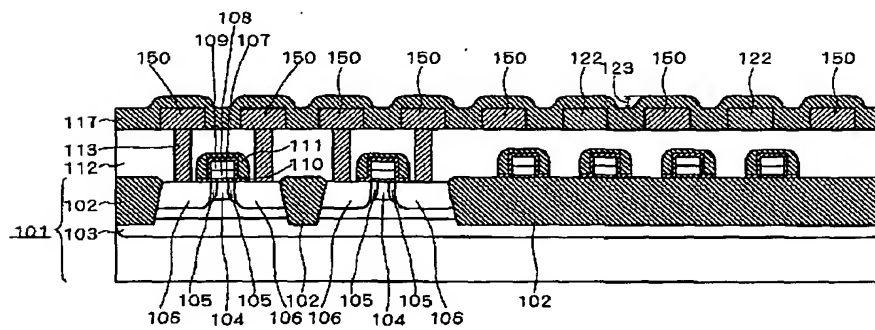
【図 27】



【図 28】



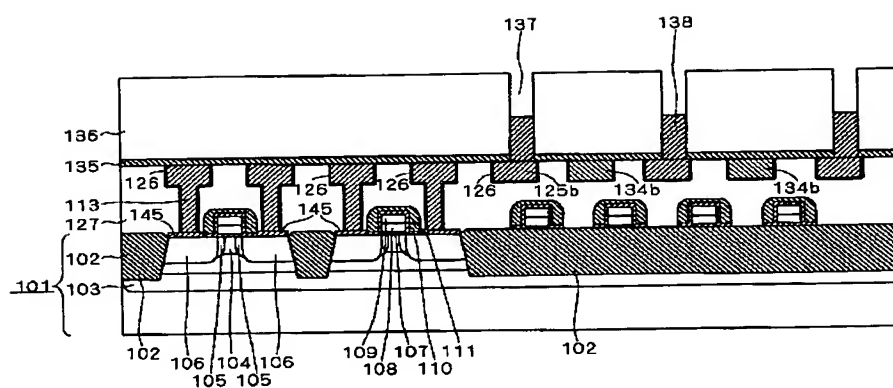
【图 29】



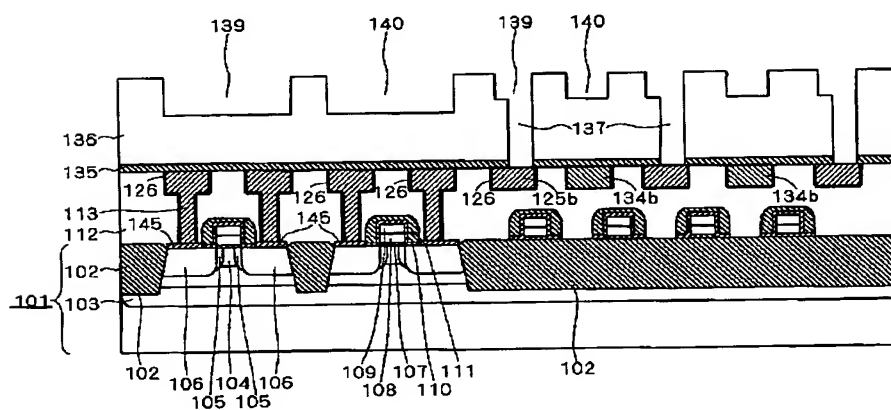
[illegible]

This cross-sectional view shows a semiconductor device with a wavy top layer. The device is divided into two regions by a vertical dashed line: region 129 on the left and region 130 on the right. In region 129, there are two identical structures. Each structure consists of a central layer 108, a side layer 111, and a bottom layer 110. These are surrounded by a material 109. Below this, there is a layer 126, which is further divided into sub-layers 145 and 127. The entire structure is supported by a base layer 102. In region 130, there is a single structure with a wavy top surface 134. This structure also has a central layer 108, side layers 111, and a bottom layer 110, surrounded by material 109. Below this, there is a layer 126, which is further divided into sub-layers 145 and 127. The entire structure is supported by a base layer 102. The base layer 102 is further divided into sub-layers 101 and 103. The base layer 102 is further divided into sub-layers 101 and 103. The base layer 102 is further divided into sub-layers 101 and 103.

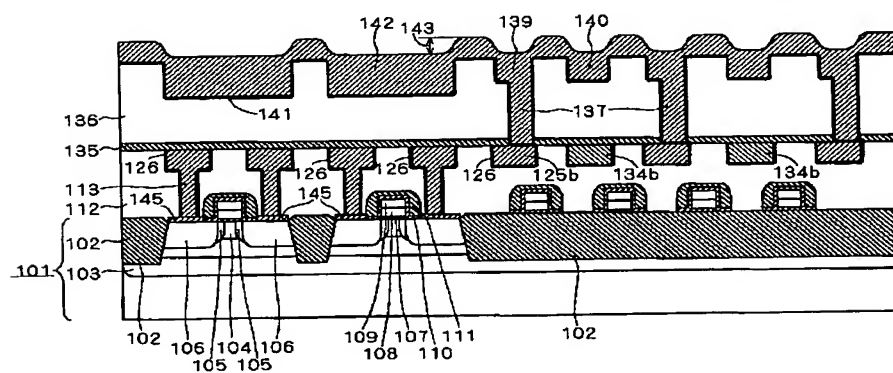
【図 3 3】



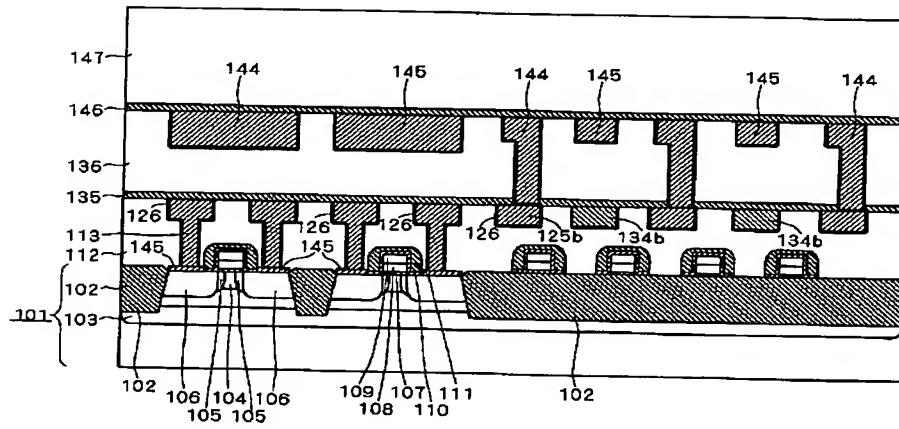
【图 3 4】



【図 3 5】



【図36】



フロントページの続き

Fターム(参考) 5F033 HH11 HH32 HH33 HH34 JJ11
 JJ32 JJ33 JJ34 KK25 MM01
 MM02 MM12 MM13 MM23 MM30
 NN06 NN07 PP06 PP14 PP27
 QQ09 QQ16 QQ37 QQ48 RR06
 RR11 TT02 VV00 VV01 VV03
 VV04 VV05 XX01 XX22 XX23
 XX24
 5F038 BH10 BH16 CD02 CD03 CD10
 CD13 DF05 EZ20

